

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月17日

出 願 番 号

Application Number:

特願2003-113412

[ST.10/C]:

[JP2003-113412]

出 願 人

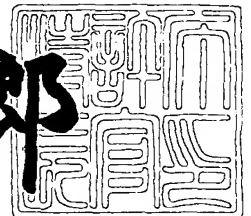
Applicant(s):

NECエレクトロニクス株式会社

2003年 7月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052739

【書類名】 特許願

【整理番号】 74120077

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/301
H01L 21/3205

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 岡田 紀雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 相澤 宏一

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 民田 浩靖

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 26526

【出願日】 平成15年 2月 3日

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216892

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置であって、

前記複数の層間絶縁膜にはそれぞれ前記回路形成部を囲むように前記半導体チップの外周に沿って配線溝が形成されて、各配線溝内には第 1 の銅の拡散防止膜を介して銅又は銅を主成分とする導電層が埋設され、かつ該導電層は互いが接続されるように埋設され、前記複数の層間絶縁膜の相互間には前記第 1 の銅の拡散防止膜と接続されるように第 2 の銅の拡散防止膜が形成されていることを特徴とする半導体装置。

【請求項 2】 前記導電層が前記半導体基板上に形成されている拡散領域に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置であって、

前記回路形成部を囲むように前記半導体チップの外周に沿って、前記半導体基板上に接続されるように、前記層間絶縁膜の膜厚方向に延在した導電層から成る複数のシールリングが相互に絶縁されて設けられていることを特徴とする半導体装置。

【請求項 4】 前記複数のシールリングの長さ方向の一部にそれぞれスリットが形成され、前記複数のシールリングのそれぞれの前記スリットの長さ方向の形成位置が少なくとも隣接するシールリング同士ではずれていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記回路形成部の前記多層配線がダマシン配線構造から構成されている場合、前記複数のシールリングは前記ダマシン配線構造から構成されていることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】 前記ダマシン配線構造がシングルダマシン配線構造から構成

されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記ダマシン配線構造がデュアルダマシン配線構造から構成されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】 前記ダマシン配線構造がシングルダマシン配線構造とデュアルダマシン配線構造との組み合わせから構成されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 9】 前記複数のシールリングがそれぞれ前記半導体基板に形成されている拡散領域に接続されていることを特徴とする請求項 3 乃至 8 のいずれか 1 に記載の半導体装置。

【請求項 10】 前記複数のシールリングがそれぞれ前記半導体基板に形成されている拡散領域にコンタクトを介して接続され、該コンタクト及び拡散領域の形状が前記複数のシールリングの形状に一致するように形成されていることを特徴とする請求項 3 乃至 9 のいずれか 1 に記載の半導体装置。

【請求項 11】 前記複数のシールリングがそれぞれ前記半導体基板に形成されている拡散領域にコンタクトを介して接続され、該コンタクト及び拡散領域の形状が前記複数のシールリングの形状に無関係に形成されていることを特徴とする請求項 3 乃至 9 のいずれか 1 に記載の半導体装置。

【請求項 12】 前記複数のシールリングは、銅又は銅を主成分とする導電層から構成されることを特徴とする請求項 3 乃至 11 のいずれか 1 に記載の半導体装置。

【請求項 13】 前記シールリングは、2 つ以上設けられていることを特徴とする請求項 3 乃至 12 のいずれか 1 に記載の半導体装置。

【請求項 14】 前記複数の層間絶縁膜は、低誘電率膜を含んでいることを特徴とする請求項 1 乃至 13 のいずれか 1 に記載の半導体装置。

【請求項 15】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置の製造方法であって、

前記半導体基板に拡散領域を形成した後、前記半導体基板上に第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜内に前記回路形成部を囲み、かつ前記拡散領域

とそれぞれ接続する複数の第 1 の配線層を形成する第 1 の工程と、

前記第 1 の配線層上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜内に前記回路形成部を囲み、かつ前記第 1 の配線層とそれぞれ接続する複数のビア配線層を形成する第 2 の工程と、

前記ビア配線層上に第 3 の層間絶縁膜を形成した後、該第 3 の層間絶縁膜内に前記回路形成部を囲み、かつ前記ビア配線層とそれぞれ接続する複数の第 2 の配線層を形成する第 3 の工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記第 2 の工程と前記第 3 の工程とを、必要に応じて交互に繰り返すことを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置の製造方法であって、

前記半導体基板に拡散領域を形成した後、前記半導体基板上に第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜内に前記回路形成部を囲み、かつ前記拡散領域とそれぞれ接続する複数の第 1 の配線層を形成する第 1 の工程と、

前記第 1 の配線層上に第 2 の層間絶縁膜及び第 3 の層間絶縁膜を順次に形成した後、前記第 3 の層間絶縁膜内及び前記第 2 の層間絶縁膜内にそれぞれ前記回路形成部を囲み、かつ前記第 1 の配線層とそれぞれ接続する複数の第 2 の配線層及びビア配線層を同時に形成する第 4 の工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 8】 前記第 4 の工程を、必要に応じて繰り返すことを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記第 4 の工程の前に、前記第 1 の配線層上に第 2 の層間絶縁膜及び第 3 の層間絶縁膜を順次に形成した後、前記第 3 の層間絶縁膜及び前記第 2 の層間絶縁膜に相互に連通する配線溝及びビア配線溝を同時に形成する第 5 の工程と、

を含むことを特徴とする請求項 1 7 又は 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 前記第 1 の工程、前記第 2 の工程及び前記第 3 の工程によ

り、あるいは前記第 1 の工程及び前記第 4 の工程により、前記第 1 の配線層、前記ビア配線層及び前記第 2 の配線層が相互に接続された前記回路形成部を囲む複数のシールリングを形成する場合、該シールリングの長さ方向の一部にスリットを形成することを特徴とする請求項 1 5 乃至 1 9 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 2 1】 前記第 1 の工程の後に、前記第 2 の工程と前記第 3 の工程とを組み合わせた第 6 の工程、あるいは前記第 4 の工程のいずれかを選択することにより、前記第 2 の配線層を形成することを特徴とする請求項 1 5 又は 1 7 記載の半導体装置の製造方法。

【請求項 2 2】 前記第 2 の工程と前記第 3 の工程とを組み合わせた第 6 の工程、あるいは前記第 4 の工程のいずれかを選択することにより、第 3 の配線層以降の配線層を順次に形成することを特徴とする請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置であって、

前記半導体基板の表面に前記回路形成部に電氣的に接続された組み立て用パッド、特性評価用パッドあるいは選別評価用パッドが設けられ、該組み立て用パッド、該特性評価用パッドあるいは該選別評価用パッドを囲むように、前記半導体基板に接続されて前記層間絶縁膜の膜厚方向に延在した導電層から成るシールリングが設けられていることを特徴とする半導体装置。

【請求項 2 4】 前記シールリングに代えて、前記組み立て用パッド、前記特性評価用パッドあるいは前記選別評価用パッドを囲むように、前記半導体基板に接続されない有底状シールリングが設けられていることを特徴とする請求項 2 3 記載の半導体装置。

【請求項 2 5】 前記シールリングあるいは前記有底状シールリングが、複数設けられていることを特徴とする請求項 2 3 又は 2 4 記載の半導体装置。

【請求項 2 6】 半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有す

る半導体装置であって、

前記半導体基板の表面に前記回路形成部に電氣的に接続された不良回路素子の置き換えを行うための複数のヒューズ素子が設けられ、該複数のヒューズ素子を囲むように、前記半導体基板に接続されて前記層間絶縁膜の膜厚方向に延在した導電層から成るシールリングが設けられていることを特徴とする半導体装置。

【請求項 2 7】 前記シールリングに代えて、前記複数のヒューズ素子を囲むように、前記半導体基板に接続されない有底状シールリングが設けられていることを特徴とする請求項 2 6 記載の半導体装置。

【請求項 2 8】 前記シールリングあるいは前記有底状シールリングが、複数設けられていることを特徴とする請求項 2 6 又は 2 7 記載の半導体装置。

【請求項 2 9】 前記シールリングあるいは前記有底状シールリングが、ダマシン配線構造から構成されていることを特徴とする請求項 2 3 乃至 2 8 のいずれか 1 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に係り、詳しくは、半導体基板からダイシングにより分離された半導体チップのダイシング面からの水分、湿気等の浸入を防止するシールリングを設けた半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置の代表として知られているマイクロプロセッサやメモリ等の L S I (大規模集積回路) は、集積度の向上につれて個々の素子の寸法は益々微細化されてきており、これに伴って各素子を構成する半導体領域の寸法も微細化されてきている。また、各半導体領域に接続する配線を形成する場合、配線を半導体基板の平面方向に形成するだけでは高集積度に対応した高い配線密度が確保できないので、配線を半導体基板の厚さ方向に多層にわたって形成するようにした多層配線技術が採用されてきている。L S I において典型的なマイクロプロセッサの例では、6 ～ 9 層にも及ぶ多層配線構造が実現されている。

【 0 0 0 3 】

このように多層配線構造を採用している L S I においては、配線の抵抗値が動作速度等の特性に大きな影響を与えるので、低い抵抗値の配線が望まれている。従来から L S I を含めた半導体装置の配線材料として、電気的特性、加工性等の点で優れているアルミニウム (A l) 又はアルミニウムを主成分とするアルミニウム系金属が一般に用いられているが、このアルミニウム系金属は、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等に弱いという欠点がある。このため、アルミニウム系金属に代ってこれよりも抵抗値が小さくて、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等に優れている銅 (C u) 又は銅を主成分とする銅系金属が用いられる傾向にある。

【 0 0 0 4 】

ところで、銅系金属を用いて配線を形成する場合、銅系化合物は蒸気圧が低いので、アルミニウム系金属のようにドライエッチング技術を利用して所望の形状にパターニングするのが困難となる。このため銅系金属を用いて配線を形成する場合は、半導体基板上に形成した層間絶縁膜に予め配線溝を形成した上で、この配線溝を含む全面に銅系金属膜を形成した後、層間絶縁膜上の不要な銅系金属膜を C M P (Chemical Mechanical Polishing : 化学的機械研磨) 法等により除去して、配線溝内のみに残した (埋設した) 銅系金属膜を配線とするようにした、シングルダマシン (Single Damascene) 配線技術が知られている。また、多層配線における微細化配線に適した構造として、シングルダマシン配線技術を発展させたデュアルダマシン (Dual Damascene) 配線技術が採用されている。

【 0 0 0 5 】

上述のデュアルダマシン配線構造は、予め下層配線を形成した半導体基板上にビア層間絶縁膜及び配線層間絶縁膜を積層した後、これらの層間絶縁膜にそれぞれビアホール及び上層配線溝を形成し、次に全面に銅系金属膜を形成した後不要な銅系金属膜を C M P 法等により除去して、ビアホール内及び上層配線溝内のみに銅系金属膜を残すようにしてビアプラグ及び上層配線を同時に形成するようにしたものである。このような構成により、ビアプラグを通じて下層配線と上層配線とが接続されたデュアルダマシン配線構造が得られる。

【 0 0 0 6 】

また、多層配線構造を有する半導体装置では、下層配線と上層配線との間に存在している層間絶縁膜によって形成される配線間容量（以下、単に容量とも称する）の増加や、微細化に伴って平面方向の配線間隔が狭くなったことによる配線間容量の増加等により、信号遅延が生じて高速動作に影響を受ける。したがって、層間絶縁膜による容量の減少を図るべく、層間絶縁膜としては低誘電率膜（いわゆる low- κ 絶縁膜）が用いられる傾向にある。

【 0 0 0 7 】

ところで、LSI の製造ではウエハ状態の半導体基板に必要な回路素子を集積した後、半導体基板をダイシングにより個々の半導体チップに分離することが行われるが、このとき半導体チップのダイシング面である層間絶縁膜の側壁が露出されるので、このダイシング面から水分、湿気等（以下、水分等と称する）が浸入するようになって、耐湿性が低下する。特に、上述したような多層配線構造を採用している LSI では層間絶縁膜の層数が多くなっているため、その傾向が大きくなる。したがって、リーク電流が増加したり、低誘電率膜の誘電率が増加する等の欠点が生ずるので耐湿性の向上を図ることが要求されている。

【 0 0 0 8 】

また、LSI の製造ではウエハ状態の半導体基板に必要な回路素子を集積する際に、各回路素子と LSI の外部とを電氣的に接続するためのボンディング用パッドのような組み立て用パッド、LSI 内特性評価用パッドあるいは選別評価用パッド等の各種パッドが半導体基板の表面に設けられる。そして、組み立て用パッドに対しては LSI 組立て時に例えばワイヤをボンディングし、特性評価用パッドあるいは選別評価用パッドに対しては、製品出荷選別工程時等に電気測定装置のテストプローバーを接触して特性評価及び選別評価を行う。このように予め半導体基板の表面に形成された各パッドに対しては、ワイヤボンディングによる荷重、あるいはテストプローバーの接触による荷重が加えられるので、各パッド直下の層間絶縁膜を含む半導体チップの個所にクラック、いわゆるパッドクラックが発生し易くなっている。この結果、前述のようにダイシング面から水分等が浸入した場合に、パッドクラック個所からその水分等が浸入するようになるので

、耐湿性が低下する。したがって、パッドクラック対策を講じることが必要になっている。

【0009】

上述したようなダイシング面からの水分等の浸入を防止して耐湿性の向上を図るように構成した半導体装置が開示されている（例えば、特許文献1参照。）。同半導体装置は、図28に示すように、半導体チップ101の回路形成部102とダイシングライン部103との間に、回路形成部102を囲むようにシールリング104が設けられている。ここで、シールリング104は、第1の層間絶縁膜間105に開口された3つの第1のシール溝106にそれぞれバリアメタル107を介して設けられたタンGSTエンブラグ108と、各タンGSTエンブラグ108を全て覆う第1層目のメタル電極109と、第2の層間絶縁膜110に開口された2つの第2のシール溝111にそれぞれバリアメタル112を介して設けられ、上記第1層目のメタル電極109を覆う第2のタンGSTエンブラグ113と、各タンGSTエンブラグ113を全て覆う第2層目のメタル電極114とが順次に積層されて構成されている。

上述したような構成によれば、ダイシングライン部103がダイシングされて層間絶縁膜の側壁が露出されても、ダイシング面から進入する水分等は上記シールリング104の存在により阻止されるので、耐湿性の向上を図ることができる。とされている。

【0010】

【特許文献1参照】

特開2000-232104号公報（第3～5頁、図1）。

【0011】

【発明が解決しようとする課題】

ところで、特許文献1記載の従来の半導体装置では、シールリングを構成する配線層と層間絶縁膜との界面の耐湿性に問題があり、その結果、多重のタンGSTエンブラグをシールリングの一部とする構成であっても半導体装置の耐湿性を十分に向上させることが困難である、という問題がある。

すなわち、特許文献1に開示されている半導体装置に設けられているシールリ

ング 1 0 4 は、図 2 8 に示したように、回路形成部 1 0 2 を多重に囲むように形成されるタングステンプラグ 1 0 8 及び 1 1 3 と、物理的に一つの領域として形成される第 1 層目のメタル電極 1 0 9 及び第 2 層目のメタル電極 1 1 4 から構成されている。それら第 1 及び第 2 層目のメタル電極 1 0 9 及び 1 1 4 は、ともに、第 2 の層間絶縁膜 1 1 0 と積層された構造を有する。

このメタル電極 1 0 9 及び 1 1 4 と層間絶縁膜 1 1 0 との界面は、一般的に、耐湿性が弱く、ダイシング時にチッピングが発生した場合、ダイシング面から浸入する水分等が容易にメタル電極 1 0 9 及び 1 1 4 に到達する。この結果、第 1 もしくは第 2 層目のメタル電極 1 0 9 もしくは 1 1 4 の劣化が始まり、劣化したそれらのメタル電極 1 0 9 もしくは 1 1 4 からさらに内部に水分等の浸入が進行する。回路形成部 1 0 2 に水分等が浸入すると、リーク電流の増加、低誘電率膜の誘電率の増加等が発生して、半導体装置の信頼性を低下させるようになる。特に、シールリング 1 0 4 の上部部分は第 2 層目のメタル電極 1 1 4 しか存在していないので、その傾向が大きくなる。

【 0 0 1 2 】

また、特許文献 1 記載の従来の半導体装置では、シールリングが無端状（エンドレス状）に形成されているので、半導体装置の製造プロセス中に磁場の発生を伴うと、シールリングに誘導電流が発生する、という問題がある。

すなわち、半導体装置の製造プロセスにおいてはプラズマを利用した C V D (Chemical Vapor Deposition) 法やスパッタ法のような成膜技術、あるいはドライエッチング技術等のプロセス技術が広く実施されているが、このようにプラズマを利用したプロセス技術は磁場の発生を伴うので、図 2 9 に示すように、発生した磁場 H がシールリング 1 0 4 と鎖交するようになるので、シールリング 1 0 4 に電流 I が誘起されるようになる。この結果、例えば銅配線形成のためにプラズマエッチングを行った例をあげて説明すると、図 3 0 に示すように、その誘起電流の影響で銅層 1 1 5 がビアホール 1 1 6 周囲に噴出するような現象が観察される。したがって、銅配線不良が生ずるようになり、製造歩留を低下させるようになる。

【 0 0 1 3 】

また、特許文献 1 記載の従来の半導体装置では、ダイシング面からの水分等の浸入に対する対策については考慮されているが、前述したようなパッドクラック対策については全く考慮されていない。

【 0 0 1 4 】

この発明は、上述の事情に鑑みてなされたもので、回路形成部を囲むシールリングを設けた構成において、十分に耐湿性を向上させることができるようにした半導体装置及びその製造方法を提供することを目的としている。

【 0 0 1 5 】

また、この発明は、上述の事情に鑑みてなされたもので、回路形成部を囲むシールリングを設けた構成において、シールリングに誘導電流が発生しないように構成した半導体装置及びその製造方法を提供することを目的としている。

【 0 0 1 6 】

また、この発明は、上述の事情に鑑みてなされたもので、組み立て用パッド、特性評価用パッドあるいは選別評価用パッドを設けた構成において、パッドクラックが発生しても十分に耐湿性を向上させることができるようにした半導体装置及びその製造方法を提供することを目的としている。

【 0 0 1 7 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置に係り、上記複数の層間絶縁膜にはそれぞれ上記回路形成部を囲むように上記半導体チップの外周に沿って配線溝が形成されて、各配線溝内には第 1 の銅の拡散防止膜を介して銅又は銅を主成分とする導電層が埋設され、かつ該導電層は互いが接続されるように埋設され、上記複数の層間絶縁膜の相互間には上記第 1 の銅の拡散防止膜と接続されるように第 2 の銅の拡散防止膜が形成されていることを特徴としている。

【 0 0 1 8 】

また、請求項 2 記載の発明は、請求項 1 記載の半導体装置に係り、上記導電層が上記半導体基板に形成されている拡散領域に接続されていることを特徴として

いる。

【 0 0 1 9 】

また、請求項 3 記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置に係り、上記回路形成部を囲むように上記半導体チップの外周に沿って、上記半導体基板に接続されるように、上記層間絶縁膜の膜厚方向に延在した導電層から成る複数のシールリングが相互に絶縁されて設けられていることを特徴としている。

【 0 0 2 0 】

また、請求項 4 記載の発明は、請求項 3 記載の半導体装置に係り、上記複数のシールリングの長さ方向の一部にそれぞれスリットが形成され、上記複数のシールリングのそれぞれの上記スリットの長さ方向の形成位置が少なくとも隣接するシールリング同士ではずれていることを特徴としている。

【 0 0 2 1 】

また、請求項 5 記載の発明は、請求項 3 又は 4 記載の半導体装置に係り、上記回路形成部の上記多層配線がダマシン配線構造から構成されている場合、上記複数のシールリングは上記ダマシン配線構造から構成されていることを特徴としている。

【 0 0 2 2 】

また、請求項 6 記載の発明は、請求項 5 記載の半導体装置に係り、上記ダマシン配線構造がシングルダマシン配線構造から構成されていることを特徴としている。

【 0 0 2 3 】

また、請求項 7 記載の発明は、請求項 5 記載の半導体装置に係り、上記ダマシン配線構造がデュアルダマシン配線構造から構成されていることを特徴としている。

【 0 0 2 4 】

また、請求項 8 記載の発明は、請求項 5 記載の半導体装置に係り、上記ダマシン配線構造がシングルダマシン配線構造とデュアルダマシン配線構造との組み合

わせから構成されていることを特徴としている。

【 0 0 2 5 】

また、請求項 9 記載の発明は、請求項 3 乃至 8 のいずれか 1 に記載の半導体装置に係り、上記複数のシールリングがそれぞれ上記半導体基板に形成されている拡散領域に接続されていることを特徴としている。

【 0 0 2 6 】

また、請求項 1 0 記載の発明は、請求項 3 乃至 9 のいずれか 1 に記載の半導体装置に係り、上記複数のシールリングがそれぞれ上記半導体基板に形成されている拡散領域にコンタクトを介して接続され、該コンタクト及び拡散領域の形状が上記複数のシールリングの形状に一致するように形成されていることを特徴としている。

【 0 0 2 7 】

また、請求項 1 1 記載の発明は、請求項 3 乃至 9 のいずれか 1 に記載の半導体装置に係り、上記複数のシールリングがそれぞれ上記半導体基板に形成されている拡散領域にコンタクトを介して接続され、該コンタクト及び拡散領域の形状が上記複数のシールリングの形状に無関係に形成されていることを特徴としている。

【 0 0 2 8 】

また、請求項 1 2 記載の発明は、請求項 3 乃至 1 1 のいずれか 1 に記載の半導体装置に係り、上記複数のシールリングは、銅又は銅を主成分とする導電層から構成されることを特徴としている。

【 0 0 2 9 】

また、請求項 1 3 記載の発明は、請求項 3 乃至 9 のいずれか 1 に記載の半導体装置に係り、上記シールリングは、2 つ以上設けられていることを特徴としている。

【 0 0 3 0 】

また、請求項 1 4 記載の発明は、請求項 3 乃至 1 3 のいずれか 1 に記載の半導体装置に係り、上記複数の層間絶縁膜は、低誘電率膜を含んでいることを特徴としている。

【 0 0 3 1 】

また、請求項 1 5 記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置の製造方法に係り、上記半導体基板上に拡散領域を形成した後、上記半導体基板上に第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜内に上記回路形成部を囲み、かつ上記拡散領域とそれぞれ接続する複数の第 1 の配線層を形成する第 1 の工程と、上記第 1 の配線層上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜内に上記回路形成部を囲み、かつ上記第 1 の配線層とそれぞれ接続する複数のビア配線層を形成する第 2 の工程と、上記ビア配線層上に第 3 の層間絶縁膜を形成した後、該第 3 の層間絶縁膜内に上記回路形成部を囲み、かつ上記ビア配線層とそれぞれ接続する複数の第 2 の配線層を形成する第 3 の工程とを含むことを特徴としている。

【 0 0 3 2 】

また、請求項 1 6 記載の発明は、請求項 1 5 記載の半導体装置の製造方法に係り、上記第 2 の工程と上記第 3 の工程とを、必要に応じて交互に繰り返すことを特徴としている。

【 0 0 3 3 】

また、請求項 1 7 記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置の製造方法に係り、上記半導体基板上に拡散領域を形成した後、上記半導体基板上に第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜内に上記回路形成部を囲み、かつ上記拡散領域とそれぞれ接続する複数の第 1 の配線層を形成する第 1 の工程と、上記第 1 の配線層上に第 2 の層間絶縁膜及び第 3 の層間絶縁膜を順次に形成した後、上記第 3 の層間絶縁膜内及び上記第 2 の層間絶縁膜内にそれぞれ上記回路形成部を囲み、かつ上記第 1 の配線層とそれぞれ接続する複数の第 2 の配線層及びビア配線層を同時に形成する第 4 の工程とを含むことを特徴としている。

【 0 0 3 4 】

また、請求項 1 8 記載の発明は、請求項 1 7 記載の半導体装置の製造方法に係

り、上記第4の工程を、必要に応じて繰り返すことを特徴としている。

【0035】

また、請求項19記載の発明は、請求項17又は18記載の半導体装置の製造方法に係り、上記第4の工程の前に、上記第1の配線層上に第2の層間絶縁膜及び第3の層間絶縁膜を順次に形成した後、上記第3の層間絶縁膜及び上記第2の層間絶縁膜に相互に連通する配線溝及びビア配線溝を同時に形成する第5の工程とを含むことを特徴としている。

【0036】

また、請求項20記載の発明は、請求項15乃至19のいずれか1に記載の半導体装置の製造方法に係り、上記第1の工程、上記第2の工程及び上記第3の工程により、あるいは上記第1の工程及び上記第4の工程により、上記第1の配線層、上記ビア配線層及び上記第2の配線層が相互に電氣的に接続された上記回路形成部を囲む複数のシールリングを形成する場合、該シールリングの長さ方向の一部にスリットを形成することを特徴としている。

【0037】

また、請求項21記載の発明は、請求項15又は17記載の半導体装置の製造方法に係り、上記第1の工程の後に、上記第2の工程と上記第3の工程とを組み合わせた第6の工程、あるいは上記第4の工程のいずれかを選択することにより、上記第2の配線層を形成することを特徴としている。

【0038】

また、請求項22記載の発明は、請求項21記載の半導体装置の製造方法に係り、上記第2の工程と上記第3の工程とを組み合わせた第6の工程、あるいは上記第4の工程のいずれかを選択することにより、第3の配線層以降の配線層を順次に形成することを特徴としている。

【0039】

また、請求項23記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置に係り、上記半導体基板の表面に上記回路形成部に電氣的に接続された組み立て用パッド、特性評価用パッドあるいは選別評価用パッ

ドが設けられ、該組み立て用パッド、該特性評価用パッドあるいは該選別評価用パッドを囲むように、上記半導体基板に接続されて上記層間絶縁膜の膜厚方向に延在した導電層から成るシールリングが設けられていることを特徴としている。

【 0 0 4 0 】

また、請求項 2 4 記載の発明は、請求項 2 3 記載の半導体装置に係り、上記シールリングに代えて、上記組み立て用パッド、上記特性評価用パッドあるいは上記選別評価用パッドを囲むように、上記半導体基板に接続されない有底状シールリングが設けられていることを特徴としている。

【 0 0 4 1 】

また、請求項 2 5 記載の発明は、請求項 2 3 又は 2 4 記載の半導体装置に係り、上記シールリングあるいは上記有底状シールリングが、複数設けられていることを特徴としている。

【 0 0 4 2 】

また、請求項 2 6 記載の発明は、半導体基板上に複数の層間絶縁膜が積層され、該層間絶縁膜に形成された多層配線を含む回路形成部が設けられて成る半導体チップを有する半導体装置に係り、上記半導体基板の表面に上記回路形成部に電氣的に接続された不良回路素子の置き換えを行うための複数のヒューズ素子が設けられ、該複数のヒューズ素子を囲むように、上記半導体基板に接続されて上記層間絶縁膜の膜厚方向に延在した導電層から成るシールリングが設けられていることを特徴としている。

【 0 0 4 3 】

また、請求項 2 7 記載の発明は、請求項 2 6 記載の半導体装置に係り、上記シールリングに代えて、上記複数のヒューズ素子を囲むように、上記半導体基板に接続されない有底状シールリングが設けられていることを特徴としている。

【 0 0 4 4 】

また、請求項 2 8 記載の発明は、請求項 2 6 又は 2 7 記載の半導体装置に係り、上記シールリングあるいは上記有底状シールリングが、複数設けられていることを特徴としている。

【 0 0 4 5 】

また、請求項 2 9 記載の発明は、請求項 2 3 乃至 2 8 のいずれか 1 に記載の半導体装置に係り、上記シールリングあるいは上記有底状シールリングが、ダマシン配線構造から構成されていることを特徴としている。

【 0 0 4 6 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。

◇第 1 実施例

図 1 は、この発明の第 1 実施例である半導体装置の構成を示す平面図、図 2 は図 1 の A - A 矢視断面図、図 3 は同半導体装置のシールリングをシングルダマシン配線技術を用いて製造した具体的な構成を示す断面図、図 4 は同半導体装置のシールリングの動作を概略的に示す図、図 5 は同半導体装置においてダイシング面から水分等が浸入する状況を示す断面図、図 6 は同半導体装置においてダイシング面から水分等が浸入する状況を示す断面図、図 7 は同半導体装置を水分含有雰囲気内で加圧試験を施した結果を概略的に示す図、図 8 は同半導体装置の寿命試験結果を示す図、図 9 及び図 1 0 は同半導体装置のシールリングをシングルダマシン技術を用いて製造する方法を工程順に示す工程図である。

この例の半導体装置は、図 1 及び図 2 に示すように、例えば P 型シリコンから成る半導体基板 1 により構成された半導体チップ 1 0 を有し、基板 1 に形成された S T I (Shallow Trench Isolation) 等から成る素子分離領域 2 により囲まれた活性領域には、ソース領域あるいはドレイン領域となる一対の N 型拡散領域 3、4 が形成され、両 N 型拡散領域 3、4 間にはゲート部 5 が形成され、全面を覆う絶縁保護膜 6 にはそれぞれ両 N 型拡散領域 3、4 及びゲート部 5 に接続されるコンタクト 7 (7 A ~ 7 C) が接続されている。ここで、ゲート部 5 は、周知のようにシリコン酸化膜等のゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン多結晶膜等のゲート電極とにより構成され、このゲート電極にコンタクト 7 B が接続される。そして、両 N 型拡散領域 3、4 及びゲート部 5 により N チャネル M O S (Metal Oxide Silicon) 型トランジスタ T r が構成されている。

【 0 0 4 7 】

絶縁保護膜 6 上に形成された第 1 の層間絶縁膜 8 には、ダマシン配線技術により形成された銅から成る第 1 の配線層 9 (9 A ~ 9 C) がそれぞれ形成され、第 1 の層間絶縁膜 8 上に形成された第 2 の層間絶縁膜 (第 1 のビア層間絶縁膜) 1 1 には、ダマシン配線技術により形成された銅から成るビア配線層 1 2 が第 1 の配線層 9 B と接続されるように形成され、第 2 の層間絶縁膜 1 1 上に形成された第 3 の層間絶縁膜 1 3 には、ダマシン配線技術により形成された銅から成る第 2 の配線層 1 4 がビア配線層 1 2 と接続されるように形成されている。さらに、第 3 の層間絶縁膜 1 3 上には第 4 の層間絶縁膜 (第 2 のビア層間絶縁膜) 1 5 が形成され、第 4 の層間絶縁膜 1 5 上には第 5 の層間絶縁膜 1 6 を介して全体を保護するパッシベーション膜 1 7 が形成されている。以上により、半導体チップ 1 には、第 1 の配線層 9 及び第 2 の配線層 1 4 から成る多層配線を含む回路形成部 1 8 が設けられる。

【 0 0 4 8 】

一方、回路形成部 1 8 を囲むように半導体チップ 1 0 の外周に沿って、素子分離領域 2 により囲まれた他の N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ~ 第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成る第 1 乃至第 3 のシールリング 2 1 ~ 2 3 が、無端状にかつ同心状に相互に絶縁されて設けられている。N 型拡散領域 1 9 は、回路形成部 1 8 に一对の N 型拡散領域 3、4 を形成する工程と同時に形成される。第 1 のシールリング 2 1 は、半導体チップ 1 のダイシング面 2 0 に最も近い位置に設けられ、以下ダイシング面 2 0 から離れる順序で第 2 のシールリング 2 2 及び第 3 のシールリング 2 3 が設けられている。

【 0 0 4 9 】

第 1 ~ 第 3 のシールリング 2 1 ~ 2 3 はそれぞれ、図 3 に示すように、例えばシングルダマシン配線技術を用いて製造された具体的な構成を有している。なお、図 3 では、一例として第 1 のシールリング 2 1 のみの構成について示しているが、第 2 のシールリング 2 2 及び第 3 のシールリングについても同様な構成になっている。

素子分離領域 2 により囲まれた N 型拡散領域 1 9 を覆う膜厚が 5 0 0 ~ 8 0 0

nmのシリコン酸化膜から成る絶縁保護膜6には、周知のフォトリソグラフィ技術によりコンタクトホール24が形成され、このコンタクトホール24には、膜厚が5～15nmのチタン膜(Ti)と膜厚が10～20nmのチタン窒化膜(TiN)との積層膜から成るバリアメタル(図示せず)と、タングステン層とから成るコンタクト25が形成されている。このコンタクト25は、図2に示したような回路形成部18にコンタクト7(7A～7C)を形成する工程と同時に形成される。絶縁保護膜6上には、膜厚が10～50nmのシリコン窒化膜26と膜厚が200～400nmのシリコン酸化膜27との積層膜から成る第1の層間絶縁膜8が形成され、この第1の層間絶縁膜8内にはトレンチ(配線溝)28が形成されて、このトレンチ28内には、膜厚が10～30nmのタンタル膜(Ta)とタンタル窒化膜(TaN)との積層膜から成るバリアメタル29と、銅層30とから成る第1の配線層31が形成されている。この第1の配線層31は、図2に示したような回路形成部18に第1の配線層9(9A～9C)を形成する工程と同時に形成される。

【0050】

第1の層間絶縁膜8上には、膜厚が10～50nmのシリコン窒化膜32と、膜厚が150～300nmの低誘電率膜33と、膜厚が50～150nmのシリコン酸化膜34との積層膜から成る第2の層間絶縁膜(第1のビア層間絶縁膜)11が形成され、この第2の層間絶縁膜11にはビアホール(ビア配線溝)35が形成されて、このビアホール35内には、膜厚が10～30nmのタンタル膜とタンタル窒化膜との積層膜から成るバリアメタル36と、銅層37とから成る第1のビア配線層38が形成されている。この第1のビア配線層38は、図2に示したような回路形成部18にビア配線層12を形成する工程と同時に形成される。

【0051】

第2の層間絶縁膜11上には、膜厚が10～50nmのシリコン窒化膜39と、膜厚が150～300nmの低誘電率膜40と、膜厚が50～150nmのシリコン酸化膜41との積層膜から成る第3の層間絶縁膜13が形成され、この第3の層間絶縁膜13にはトレンチ42が形成されて、このトレンチ42内には、

膜厚が10～30nmのタンタル膜とタンタル窒化膜との積層膜から成るバリアメタル43と、銅層44とから成る第2の配線層45が形成されている。この第2の配線層45は、図2に示したような回路形成部18に第2の配線層14を形成する工程と同時に形成される。

【0052】

以下、上述したような第1のビア配線層38と同様な構成の第2のビア配線層52が、また、第2の配線層45と同様な構成の第3の配線層59が形成されている。なお、符号46、53はシリコン窒化膜、符号47、54は低誘電率膜、符号48、55はシリコン酸化膜、符号49はビアホール（ビア配線溝）、符号50、57はバリアメタル、符号51、58は銅層、符号56はトレンチを示している。そして、第1～第5の層間絶縁膜8、11、13、15、16の膜厚方向に延在するように形成されている、N型拡散領域19と電気的に接続されたコンタクト25と、第1の配線層31と、第1のビア配線層38と、第2の配線層45と、第2のビア配線層52と、第3の配線層59とを相互に接続することにより第1のシールリング21が形成され、同様に第2及び第3のシールリング22、23が形成される。

【0053】

ここで、一例として、第1の配線層31、第2の配線層45及び第3の配線層59の幅は0.28～2.0μmに選ばれ、各配線層31、45、59の隣接する間隔は1.0～2.0μmに選ばれる。また、第1のビア配線層38及び第2のビア配線層52の幅は0.1～0.48μmに選ばれ、各配線層38、52の隣接する間隔は1.0～2.0μmに選ばれる。

【0054】

前述したような各層間絶縁膜11、13、15、16の主要部を構成している低誘電率膜33、40、47、54としては、一例としてSiLK（Dow Chemical社の登録商標）として知られている有機膜が用いられる。この低誘電率膜は、従来から一般に用いられている前述したようなシリコン酸化膜あるいはシリコン窒化膜等のそれに比べて、誘電率の値は数分の1と小さくなっている。

各シールリング21～23の表面は、膜厚が10～50nmのシリコン窒化膜

60と、膜厚が500～800 nmのシリコン酸化膜61と、膜厚が100～200 nmのシリコン酸化膜62と、膜厚が1000～2000 nmのシリコン窒化膜63との積層膜から構成されたパッシベーション膜17により覆われて保護されている。

【0055】

ここで、上述したN型拡散領域19及びコンタクト25の形状は、第1～第3のシールリング21～23の形状に一致するように形成される。すなわち、上述したように無端状に形成されている第1～第3のシールリング21～23の形状に一致するように、N型拡散領域19及びコンタクト25の形状は、回路形成部18を囲むように半導体チップ10の外周に沿って無端状に形成される。ただし、第1の層間絶縁膜8より下方部に形成されている絶縁保護膜6への水分等の浸入が明らかにないことが確認される場合は、N型拡散領域19及びコンタクト25の形状は必ずしも第1～第3のシールリング21～23の形状に一致させる必要はなく、その形状は問われない。

【0056】

上述したように3つのシールリング21～23を設けた半導体装置によれば、図5に示したように、第2～第5の層間絶縁膜11、13、15、16の主要部を構成している低誘電率膜33、40、47、54内に矢印64の方向に浸入した水分等は、例えばダイシング面20に最も近い位置に設けられている第1のシールリング21のバリアメタル36、43、50、57の存在により、この内部方向に浸入するのが阻止される。すなわち、バリアメタルは一般に、層間絶縁膜に埋め込まれた銅配線から銅が周囲に拡散するのを防止するバリア（第1の銅の拡散防止膜）として作用させるために用いられているが、これに限らずバリアメタルは上述のように周囲から浸入してきた水分等に対してもバリアとして作用させることができる。

【0057】

また、図6に示したように、例えば第3の配線層59の銅層58とシリコン窒化膜60との境界に矢印65の方向に浸入した水分等は、銅層58を覆っているバリアメタル57とシリコン窒化膜60との密着性がよいので、内部方向に浸入

するのが阻止される。同様にして、図 3 において第 2 の配線層 4 5 の場合は、銅層 4 4 を覆っているバリアメタル 4 3 とシリコン窒化膜 4 6 との優れた密着性により、また、第 1 の配線層 3 1 の場合は、銅層 3 0 を覆っているバリアメタル 2 9 とシリコン窒化膜 3 2 との優れた密着性により、いずれも銅層 4 4 又は 3 0 とシリコン窒化膜 4 6 又は 3 2 との境界に浸入した水分等は、内部方向に浸入するのが阻止される。

【 0 0 5 8 】

また、図 3 において各層間絶縁膜 1 1、1 3、1 5、1 6 等の下層部に形成されているシリコン窒化膜 3 2、3 9、4 6、5 3 等は、それぞれビアホール 3 5、トレンチ 4 2、ビアホール 4 9、トレンチ 5 6 に埋め込まれている銅層 3 7、4 4、5 1、5 8 から、銅が周囲に拡散するのを防止する拡散防止膜（第 2 の銅の拡散防止膜）として作用させるために用いられており、それらのシリコン窒化膜 3 2、3 9、4 6、5 3 等は上述したようなバリアメタル 3 6、4 3、5 0、5 7 等と同様な作用を行う。このようにバリアメタル 3 6、4 3、5 0、5 7 等及びシリコン窒化膜 3 2、3 9、4 6、5 3 等のバリア作用を利用することにより、ダイシング面から浸入した水分等の浸入を防止できるので、シールリングの数は基本的に 1 つでも有効となる。

【 0 0 5 9 】

図 6 に示したように、ダイシング時にダイシング面 2 0 に最も近い位置の第 1 のシールリング 2 1 がチップングにより、矢印 6 6 のように剥がれることがある。したがって、この場合には矢印 6 6 の方向に水分等が浸入することになるが、図 1 及び図 2 に示したように第 1 のシールリング 2 1 の内側には第 2 のシールリング 2 2 が存在しているので、第 2 のシールリング 2 2 から内部方向に水分等が浸入するのが阻止される。さらに、上述したようなチップングにより第 2 のシールリング 2 2 が損傷したとしても、第 2 のシールリング 2 2 の内側には第 3 のシールリング 2 3 が存在しているので、第 3 のシールリング 2 3 によりバックアップされるので、それより内部方向に水分等が浸入するのが阻止される。

【 0 0 6 0 】

各シールリング 2 1 ～ 2 3 がエッチング工程や C V D 工程等においてプラズマ

に晒された場合に、プラス電荷を持ったイオンが基板 1 に衝突するため、シールリング中の電子がイオンに奪われて、配線層がプラスに帯電する現象が生ずる。この場合、図 4 (a) に示すように、例えばシールリング 2 1 が電氣的に浮いているときはその電荷が貯り続けるために、放電が発生して基板 1 が破壊されるようになる。このような場合、この例によれば、図 4 (b) に示すように、例えばシールリング 2 1 は、コンタクト 2 5 を通じて N 型領域 1 9 に接続されているので、基板 1 を通じて電荷を逃がすことができるため、基板 1 の破壊は防止することができる。

【 0 0 6 1 】

図 7 は、この例の半導体装置を水分含有雰囲気内で加圧試験を施した結果を概略的に示すもので、ダイシング面 2 0 から水分等の浸入により矢印方向に腐食が進行して、ダイシング面 2 0 に最も近い位置の第 1 のシールリング 2 1 の表面が斑点状に汚染されるのが観察された。しかしながら、第 2 及び第 3 のシールリング 2 2、2 3 の表面にはそのような汚染は観察されなかった。

また、図 8 は、この例の半導体装置の寿命試験結果を示すもので、横軸は時間、縦軸は故障率を示している。同図から明らかなように、この例のようにシールリングを設けることにより、シールリングを設けない場合に対して、寿命時間を略 1 桁向上させることができる。

【 0 0 6 2 】

次に、図 9 及び図 1 0 を参照して、この例の半導体装置のシールリングをシングルダマシン配線技術を用いて製造する方法を工程順に説明する。なお、一例として図 3 に示したような第 1 のシールリング 2 1 のみを製造する例で説明する。

まず、図 9 (a) に示すように、P 型シリコン基板 1 の回路形成部 1 8 に素子分離領域 2 を形成すると同時に、基板 1 上のシールリングの形成予定領域に素子分離領域 2 を形成する。次に、回路形成部 1 8 にソース領域あるいはドレイン領域となる一対の N 型拡散領域 3、4 を形成すると同時に、N 型拡散領域 1 9 を形成する。なお、上記一対の N 型拡散領域 3、4 は、基板 1 上にシリコン酸化膜及びシリコン多結晶膜を順次に成膜し、周知のリソグラフィ技術により所望の形状にパターニングすることによりゲート絶縁膜及びゲート電極から成るゲート

部 5 を形成した後、ゲート部 5 をマスクとする自己整合法（セルフアライン法）により、N 型不純物をイオン注入することにより形成する。したがって、N 型拡散領域 1 9 も、一対の N 型拡散領域 3、4 と略同様な工程により同時に形成される。

【 0 0 6 3 】

次に、図 9（b）に示すように、CVD 法により全面に膜厚が 5 0 0 ～ 8 0 0 nm のシリコン酸化膜から成る絶縁保護膜 6 を形成した後、フォトリソグラフィ技術を使用したプラズマエッチング法により、シールリングを形成するためのコンタクトホール 2 4 を形成する。次に、CVD 法及びスパッタ法により全面に、膜厚が 5 ～ 1 5 nm のチタン膜と膜厚が 1 0 ～ 2 0 nm のチタン窒化膜との積層膜から成るバリアメタル（図示せず）及びタングステンを形成した後、CMP 法により不要なバリアメタル及びタングステンを除去して、コンタクトホール 2 4 内のみに残した（埋設した）バリアメタル及びタングステンによりコンタクト 2 5 を形成する。次に、CVD 法により全面に膜厚が 1 0 ～ 5 0 nm のシリコン窒化膜 2 6 と、膜厚が 2 0 0 ～ 4 0 0 nm のシリコン酸化膜 2 7 とを順次に積層して第 1 の層間絶縁膜 8 を形成した後、プラズマエッチング法により第 1 の層間絶縁膜 8 内にトレンチ 2 8 を形成する。次に、スパッタ法により全面に、膜厚が 1 0 ～ 3 0 nm のタンタル窒化膜とタンタル膜とを順次に積層してバリアメタル 2 9 を形成した後、スパッタ法により膜厚が 5 0 ～ 1 5 0 nm の銅層を形成した後、めっき法により銅層を形成してトレンチ 2 8 内に完全に銅層を埋め込むようにする。次に、CMP 法により不要なバリアメタル及び銅層を除去して、トレンチ 2 8 内のみに残したバリアメタル 2 9 及び銅層 3 0 により第 1 の配線層 3 1 を形成する。

【 0 0 6 4 】

次に、図 9（c）に示すように、CVD 法により全面に膜厚が 1 0 ～ 5 0 nm のシリコン窒化膜 3 2 と、膜厚が 1 5 0 ～ 3 0 0 nm の低誘電率膜 3 3 と、膜厚が 5 0 ～ 1 5 0 nm のシリコン酸化膜 3 4 とを順次に積層して、第 2 の層間絶縁膜（第 1 のビア層間絶縁膜）1 1 を形成した後、プラズマエッチング法により第 2 の層間絶縁膜 1 1 にビアホール 3 5 を形成する。次に、スパッタ法により全面

に、膜厚が10～30 nmのタンタル窒化膜とタンタル膜とを順次に積層してバリアメタル36を形成した後、スパッタ法により膜厚が50～150 nmの銅層を形成した後、めっき法により銅層を形成してビアホール35内に完全に銅層を埋め込むようにする。次に、CMP法により不要なバリアメタル及び銅層を除去して、ビアホール35内のみに残したバリアメタル36及び銅層37により第1のビア配線層38を形成する。

【0065】

次に、CVD法により全面に、膜厚が10～50 nmのシリコン窒化膜39と、膜厚が150～300 nmの低誘電率膜40と、膜厚が50～150 nmのシリコン酸化膜41とを順次に積層して、第3の層間絶縁膜13を形成した後、プラズマエッチング法により第3の間絶縁膜13にトレンチ42を形成する。次に、スパッタ法により全面に、膜厚が10～30 nmのタンタル窒化膜とタンタル膜とを順次に積層してバリアメタル43を形成した後、スパッタ法により膜厚が50～150 nmの銅層を形成した後、めっき法により銅層を形成してトレンチ42内に完全に銅層を埋め込むようにする。次に、CMP法により不要なバリアメタル及び銅層を除去して、トレンチ42内のみに残したバリアメタル43及び銅層44により第2の配線層45を形成する。

【0066】

以下、図10に示すように、第2の配線層45と接続するように第2のビア配線層52を第1のビア配線層38と同様な方法で形成した後、第2のビア配線層52と接続するように第3の配線層59を第2の配線層45と同様な方法で形成する。

次に、第3の層間絶縁膜16上に、CVD法により全面に、膜厚が10～50 nmのシリコン窒化膜60と、膜厚が500～800 nmのシリコン酸化膜61と、膜厚が100～200 nmのシリコン酸化膜62と、膜厚が1000～2000 nmのシリコン窒化膜63とを順次に積層して、パッシベーション膜17を形成することにより、図3の構造を完成させる。

【0067】

上述したような製造方法によれば、シングルダマシン配線技術を用いることに

より回路形成部 1 8 に多層配線を形成する工程と同時に、3 つのシールリング 2 1 ～ 2 3 を形成することができるので、コストアップを伴うことなく簡単にシールリングを設けることができる。

【 0 0 6 8 】

このように、この例の半導体装置によれば、回路形成部 1 8 を囲むように半導体チップ 1 0 の外周に沿って、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ接続されるように、第 1 ～ 第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成る第 1 ～ 第 3 のシールリング 2 1 ～ 2 3 が相互に絶縁されて設けられているので、ダイシング面 2 0 から水分等が浸入しても第 2 のあるいは第 3 のシールリング 2 2、2 3 の存在により内部方向への水分等の浸入を阻止することができる。

また、この例の半導体装置の製造方法によれば、シングルダマシン配線技術を用いることにより回路形成部 1 8 に多層配線を形成する工程と同時に、第 1 ～ 第 3 のシールリング 2 1 ～ 2 3 を形成することができるので、コストアップを伴うことなく簡単にシールリングを設けることができる。

したがって、回路形成部を囲むシールリングを設けた構成において、十分に耐湿性を向上させることができる。

【 0 0 6 9 】

◇ 第 2 実施例

図 1 1 は、この発明の第 2 実施例である半導体装置のシールリングをデュアルダマシン配線技術を用いて製造した具体的な構成を示す断面図、図 1 2 は同半導体装置のシールリングをデュアルダマシン技術を用いて製造する方法の主要部を工程順に示す工程図である。この発明の第 2 実施例である半導体装置の構成が、上述の第 1 実施例のそれと大きく異なるところは、そのシールリングをデュアルダマシン配線技術を用いて製造するようにした点である。

この例の半導体装置は、図 1 1 に示すように、回路形成部 1 8 を囲むように半導体チップ 1 の外周に沿って、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ～ 第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成る第 1 ～ 第 3 のシールリング 2

1～23が相互に絶縁されて設けられている構成において、導電経路を構成している第2の配線層45と第1のビア配線層38とが同時に一体に形成されるとともに、第3の配線層59と第2のビア配線層52とが同時に一体に形成されている。なお、図11では、一例として第1のシールリング21のみの構成について示しているが、第2のシールリング22及び第3のシールリングについても同様な構成になっている。

【0070】

これ以外は、上述した第1実施例と略同様である。それゆえ、図11において、図3の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

この例によれば、デュアルダマシン配線技術を用いて3つのシールリング21～23を設けることにより、上下に隣接する第2の配線層45と第1のビア配線層38とが、また、第3の配線層59と第2のビア配線層52とが同時に一体に形成されるので、シールリングの形成がより簡単となる。また、配線層とビア配線層とが一体に形成されることにより、両者間に境界が存在しないので、ダイシング面から水分等が浸入したときに確実に阻止できるという利点がある。

【0071】

次に、図12を参照して、この例の半導体装置のシールリングをデュアルダマシン配線技術を用いて製造する方法を工程順に説明する。なお、一例として図11に示したような第1のシールリング21のみを製造する例で説明する。

第1実施例の図9(b)の工程を経た後、図12(a)に示すように、CVD法により全面に膜厚が10～50nmのシリコン窒化膜32と、膜厚が150～300nmの低誘電率膜33と、膜厚が50～150nmのシリコン酸化膜34とを順次に積層して、第2の層間絶縁膜(第1のビア層間絶縁膜)11を形成した後、CVD法により全面に、膜厚が150～300nmの低誘電率膜40と、膜厚が50～150nmのシリコン酸化膜41とを順次に積層して、第3の層間絶縁膜13を形成する。次に、プラズマエッチング法により第3の層間絶縁膜13にトレンチ42を形成すると同時に、第2の層間絶縁膜11に第1のビアホール35を形成する。次に、スパッタ法により全面に、膜厚が10～30nmのタ

ンタル窒化膜とタンタル膜とを順次に積層してバリアメタル 4 3 を形成した後、スパッタ法により膜厚が 5 0 ～ 1 5 0 n m の銅層を形成した後、めっき法により銅層を形成してトレンチ 4 2 及び第 1 のビアホール 3 5 内に完全に銅層を埋め込むようにする。次に、CMP 法により不要なバリアメタル及び銅層を除去して、トレンチ 4 2 及び第 1 のビアホール 3 5 内のみに残したバリアメタル 4 3 及び銅層 4 4 により第 2 の配線層 4 5 を形成すると同時に第 1 のビア配線層 3 8 を形成する。

【 0 0 7 2 】

以下、図 1 2 (b) に示すように、第 4 の層間絶縁膜 1 5 及び第 5 の層間絶縁膜 1 6 を形成した後、トレンチ 5 6 と同時に第 2 のビアホール 4 9 を形成し、第 3 の配線層 5 9 と同時に第 2 のビア配線層 5 2 を形成し、さらにパッシベーション膜 1 7 を形成することにより、図 1 1 の構造を完成させる。

【 0 0 7 3 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、デュアルダマシン配線技術によりシールリングを設けるので、配線下部とビア配線層上部に境界がなくなり、より水分等の浸入を阻止する効果が上がる。

【 0 0 7 4 】

◇第 3 実施例

図 1 3 は、この発明の第 3 実施例である半導体装置の構成を示す平面図、図 1 4 は図 1 3 の B - B 矢視断面図、図 1 5 は同半導体装置においてダイシング面から水分等が浸入する状況を示す平面図、図 1 6 は同半導体装置のシールリングのスリットをダマシン技術を用いて製造する方法を工程順に示す工程図、図 1 7 は同半導体装置のシールリングのスリットをダマシン技術を用いて製造する方法を工程順に示す工程図である。この発明の第 3 実施例である半導体装置の構成が、上述の第 1 実施例のそれと大きく異なるところは、シールリングにスリットを設けるようにした点である。

この例の半導体装置は、図 1 3 及び図 1 4 に示すように、回路形成部 1 8 を囲

むように半導体チップ 1 の外周に沿って、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ～第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成る第 1 ～第 3 のシールリング 2 1 ～2 3 が相互に絶縁されて設けられている構成において、3 つのシールリング 2 1 ～2 3 の長さ方向の一部にそれぞれスリット 2 1 A ～2 3 A が形成され、3 つのシールリング 2 1 ～2 3 のスリット 2 1 A ～2 3 A の長さ方向の形成位置が少なくとも隣接するシールリング同士ではずれているように設けられている。

【0 0 7 5】

ここで、上述した N 型拡散領域 1 9 及びコンタクト 2 5 の形状は、第 1 ～第 3 のシールリング 2 1 ～2 3 の形状に一致するように形成される。すなわち、上述したように各スリット 2 1 A ～2 3 A が設けられている第 1 ～第 3 のシールリング 2 1 ～2 3 の形状に一致するように、N 型拡散領域 1 9 及びコンタクト 2 5 の形状は、回路形成部 1 8 を囲む半導体チップ 1 0 の外周に沿ったいずれかの位置にスリットが設けられる形状に形成される。ただし、第 1 の層間絶縁膜 8 より下方部に形成されている絶縁保護膜 6 への水分等の浸入が明らかにないことが確認される場合は、N 型拡散領域 1 9 及びコンタクト 2 5 の形状は必ずしも第 1 ～第 3 のシールリング 2 1 ～2 3 の形状に一致させる必要はなく、その形状は問われない。

【0 0 7 6】

この例によれば、図 1 5 に示すように、水分等の浸入経路 6 7 は各シールリング 2 1 ～2 3 の各スリット 2 1 A ～2 3 A とを結ぶ距離となるので、水分等の浸入を十分に阻止できるようになる。各スリット 2 1 A ～2 3 A の形成位置は、上述の浸入経路 6 7 の距離が大きくなるように設定することが有効となる。また、このように水分等の浸入経路 6 7 の距離を長くできることにより、EM (Electro-Migration) の発生も十分に緩和することができる。

【0 0 7 7】

また、この例によれば、各シールリング 2 1 ～2 3 は無端状でない構成となるので、半導体装置の製造プロセス中に磁場の発生を伴っても、各シールリング

21～23に誘導電流は発生しなくなる。したがって、図30を参照して説明したような、銅層が噴出するような現象は解消される。

【0078】

次に、図16及び図17を参照して、この例の半導体装置のシールリングのスリットをダマシン配線技術を用いて製造する方法を工程順に説明する。

まず、図16(a)に示すように、P型シリコン基板1の回路形成部18に素子分離領域2を形成するのと同時に、基板1上のシールリングの形成予定領域に素子分離領域2を形成する。次に、回路形成部18にソース領域あるいはドレイン領域となる一对のN型拡散領域3、4を形成するのと同時に、N型拡散領域19を形成する。

【0079】

次に、図16(b)に示すように、例えば第3のシールリング23にスリット23Aを形成する例で説明すると、スリット形成予定領域のみにフォトリソグラフィにおけるレジストマスク（図示せず）を塗布した状態で、絶縁保護膜6、シリコン窒化膜26とシリコン酸化膜27との積層膜から成る第1の層間絶縁膜8のシールリング形成予定領域のエッチングを順次に行う。この結果、スリット形成予定領域には予めレジストマスクが塗布されているので、絶縁保護膜6、シリコン窒化膜26及びシリコン酸化膜27のいずれもがエッチングされないで残っている。

【0080】

次に、図17(c)に示すように、上述したようにスリット形成予定領域にフォトリソグラフィにおけるレジストマスク（図示せず）を塗布した状態で、シリコン窒化膜32と低誘電率膜33とシリコン酸化膜34との積層膜から成る第2の層間絶縁膜11、シリコン窒化膜39と低誘電率膜40とシリコン酸化膜41との積層膜から成る第3の層間絶縁膜13のシールリング形成予定領域のエッチングを順次に行う。この時点でも、スリット形成予定領域には予めレジストマスクが塗布されているので、シリコン窒化膜32、低誘電率膜33、シリコン酸化膜34、シリコン窒化膜39、低誘電率膜40及びシリコン酸化膜41のいずれもがエッチングされないで残っている。

【 0 0 8 1 】

次に、図 1 7 (d) に示すように、上述したようにスリット形成予定領域にフォトリソグラフィにおけるレジストマスク（図示せず）を塗布した状態で、シリコン窒化膜 4 6 と低誘電率膜 4 7 とシリコン酸化膜 4 8 との積層膜から成る第 4 の層間絶縁膜 1 5、シリコン窒化膜 5 3 と低誘電率膜 5 4 とシリコン酸化膜 5 5 との積層膜から成る第 5 の層間絶縁膜 1 6 のエッチングを順次に行う。この時点でも、スリット形成予定領域には予めレジストマスクが塗布されているので、シリコン窒化膜 4 6、低誘電率膜 4 7、シリコン酸化膜 4 8、シリコン窒化膜 5 3、低誘電率膜 5 4 及びシリコン酸化膜 5 5 のいずれもがエッチングされないで残っている。

このようにして、第 3 のシールリング 2 3 のスリット形成予定領域にはスリット 2 3 A が形成されることになる。第 1 及び第 2 のシールリング 2 1、2 3 に対しても同様な処理を行うことにより、それぞれスリット 2 1 A、2 2 A を形成することができる。

【 0 0 8 2 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、各シールリングにスリットが形成されているので、磁場内に配置されても誘導電流の発生を防止することができる。

【 0 0 8 3 】

◇第 4 実施例

図 1 8 は、この発明の第 4 実施例である半導体装置の構成を示す平面図、図 1 9 は図 1 5 の C - C 矢視断面図である。この発明の第 4 実施例である半導体装置の構成が、上述の第 1 実施例のそれと大きく異なるところは、パッドクラック対策を講じるためにシールリングを設けるようにした点である。

この例の半導体装置は、図 1 8 及び図 1 9 に示すように、基板 1 の表面に組み立て用パッド 7 0 が設けられた構成において、組み立て用パッド 7 0 を囲むように、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ～第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に

延在した導電層から成るシールリング 7 1 が無端状に設けられている。このシールリング 7 1 は、図 1 9 に示すように、N 型拡散領域 1 9 と電氣的に接続されたコンタクト 2 5 と、第 1 の配線層 3 1 と、第 1 のビア配線層 3 8 と、第 2 の配線層 4 5 と、第 2 のビア配線層 5 2 と、第 3 の配線層 5 9 とを相互に接続することにより形成されている。

【 0 0 8 4 】

組み立て用パッド 7 0 は、膜厚が 4 0 0 ~ 3 0 0 0 n m のアルミニウム又はアルミニウムを主成分とするアルミニウム系金属から成り、図 1 9 に示すように、回路形成部 1 8 内に形成されている所望の回路素子から引き出されて、第 3 の配線層 5 9 と同時に形成された膜厚が 3 0 0 ~ 2 0 0 0 n m の銅又は銅を主成分とする銅系金属から成る最上配線層 7 2 及び外部端子層 8 4 と接続されている。なお、最上配線層 7 2 等は、膜厚が 1 0 0 ~ 2 0 0 0 n m のシリコン酸化膜 (S i O ₂) 、シリコン窒化膜 (S i N) 、シリコン酸窒化膜 (S i O N) 等から成る絶縁膜 7 4 により覆われて、この絶縁膜 7 4 に開口されたコンタクトホール 7 5 を通じて、最上配線層 7 2 上に組み立て用パッド 7 0 が配置されている。

【 0 0 8 5 】

また、組み立て用パッド 7 0 は、膜厚が 1 ~ 1 0 μ m のポリイミド、シリコン窒化膜、シリコン酸窒化膜等から成るカバー絶縁膜 7 6 により覆われて、このカバー絶縁膜 7 6 に形成された開口部 7 7 により露出された面 7 0 A が最上配線層 7 2 の直上に配置されている。この組み立て用パッド 7 0 の露出面 7 0 A に対して、L S I の組立て時に、各回路素子と L S I の外部とを電氣的に接続するためのワイヤがボンディングされる。あるいは、組み立て用パッド 7 0 は、他の半導体チップと積層して相互に接続するフリップチップボンディングや、配線基板上に半導体チップをフェースダウンボンディングする場合の接続用端子としても用いられる。また、所望の層間絶縁膜にはシールリング 7 1 に接続するための外部からの配線 (図示せず) が形成されている。

なお、シールリング 7 1 を形成するための具体的方法は、第 1 実施例において第 1 ~ 第 3 のシールリング 2 1 ~ 2 3 を形成するために図 9 及び図 1 0 を参照して説明したシングルダマシン配線技術、あるいは第 2 実施例において同第 1 ~ 第

3のシールリング21～23を形成するために図12を参照して説明したデュアルダマシン配線技術を略そのまま適用することができるので、その説明は省略する。

【0086】

ここで、カバー絶縁膜76の開口底部内寸法L1、組み立て用パッド70の外寸法L2、コンタクトホール寸法L3、シールリング71の内寸法L4は、シールリング71にカバー絶縁膜76の開口部77が内包されるように、必須設計制約として、 $L1 < L4$ 、 $L1 < L2$ の関係を満足するように設定される。一方、組み立ての観点からは、L1とL3との関係は任意に選ぶことができる。

【0087】

上述したように、組み立て用パッド70を囲むようにシールリング71を設けた半導体装置によれば、組み立て用パッド70の露出面70Aに対してLSI組み立て時に例えばワイヤをボンディングした際にワイヤボンディングによる荷重が加えられてパッドクラックが発生しても、ダイシング面から水分等が浸入した場合に、シールリング71の存在により内部方向への水分等の浸入を阻止することができる。

【0088】

なお、半導体基板1の表面には、組み立て用パッド70と略同様に、トランジスタ、抵抗等の単体の回路素子の特性を評価するための特性評価用パッド、及び特性に応じた評価を行って選別するための選別評価用パッドが設けられている。これらのパッドは、組み立て用パッド70と略同様な構造に形成される。そして、特性評価用パッドあるいは選別評価用パッドに対しては、製品出荷選別工程等に特性評価及び選別評価を行うために電気測定装置のテストプローバーが接触される。このとき、各パッドにはテストプローバーの接触による荷重が加えられるので、組み立て用パッド70の場合と同様に、パッドクラックが発生し易くなっているため耐湿性が低下する。したがって、上述した組み立て用パッド70に代えて、特性評価用パッドあるいは選別評価用パッドを設けた場合にも、これらのパッドを囲むように上述のシールリング71と同様なシールリングを設けることにより、製品出荷選別工程等に特性評価あるいは選別評価を行うために各パ

ッドにテストプローバーの接触による荷重が加えられてパッドクラックが発生しても、ダイシング面から水分等が浸入した場合に、そのシールリングの存在により内部方向への水分等の浸入を阻止することができるようになる。

【 0 0 8 9 】

このように、この例の半導体装置によれば、組み立て用パッド 7 0、特性評価用パッドあるいは選別評価用パッドを囲むように、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ接続されるように、第 1 ～ 第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成るシールリング 7 1 が設けられているので、パッドクラックが発生しても、シールリング 7 1 の存在により内部方向への水分等の浸入を阻止することができる。

したがって、組み立て用パッド、特性評価用パッドあるいは選別評価用パッドを設けた構成において、パッドクラックが発生しても十分に耐湿性を向上させることができる。

【 0 0 9 0 】

◇ 第 5 実施例

図 2 0 は、この発明の第 5 実施例である半導体装置の構成を示す断面図である。この発明の第 5 実施例である半導体装置の構成が、上述の第 4 実施例のそれと大きく異なるところは、組み立て用パッドの配置を変更して設けるようにした点である。

この例の半導体装置は、図 2 0 に示すように、組み立て用パッド 7 0 が第 3 の配線層 5 9 と同時に形成された膜厚が 3 0 0 ～ 2 0 0 0 n m の銅又は銅を主成分とする銅系金属から成る外部端子層 8 4 と接続されている。

また、第 4 実施例と同様に、シールリング 7 1 にカバー絶縁膜 7 6 の開口部 7 7 が内包されるように、必須設計制約として、 $L 1 < L 4$ 、 $L 1 < L 2$ の関係を満足するように設定される。一方、組み立ての観点からは、 $L 1$ と $L 3$ との関係は任意に選ぶことができる。

これ以外は、上述した第 4 実施例と略同様である。それゆえ、図 2 0 において、図 1 8 及び図 1 9 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【 0 0 9 1 】

この例の半導体装置によれば、例えば組み立て用パッド 7 0 の露出面 7 0 A が下層配線である外部端子層 8 4 の直上からずれて配置されているので、この露出面 7 0 A に対して L S I 組立て時に例えばワイヤをボンディングした際にワイヤボンディングによる荷重が加えられても、半導体チップに直接かかる荷重を抑えることができる。したがって、パッドクラックの発生の度合いを和らげることができるようになり、組立強度を向上させることができる。これは、組み立て用パッド 7 0 に代えて特性評価用パッドあるいは選別評価用パッドを設けた場合も同様である。

【 0 0 9 2 】

このように、この例の構成によっても、第 4 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、パッドクラックの発生の度合いを和らげることができるので、組立強度を向上させることができる。

【 0 0 9 3 】

◇ 第 6 実施例

図 2 1 は、この発明の第 6 実施例である半導体装置の構成を示す断面図である。この発明の第 6 実施例である半導体装置の構成が、上述の第 4 実施例のそれと大きく異なるところは、パッドクラック対策を講じるために有底状シールリングを設けるようにして点である。

この例の半導体装置は、図 1 9 の第 4 実施例に示したように、組み立て用パッド 7 0 が第 3 の配線層 5 9 と同時に形成された銅又は銅を主成分とする銅系金属から成る最上配線層 7 2 と接続され、かつ外部端子層 8 4 に接続されている構成において、図 2 1 に示すように、組み立て用パッド 7 0 を囲むように、有底状シールリング 7 8 が無端状に設けられている。この有底状シールリング 7 8 は、最上配線層 7 2 の直下に形成された底部導電層としての第 2 の配線層 7 9 と、第 2 のビア配線層 5 2 と、第 3 の配線層 5 9 とを相互に接続することにより形成されている。

【 0 0 9 4 】

すなわち、この例の半導体装置は、図 1 9 の第 4 実施例に示したように N 型拡散領域 1 9 に電氣的に接続されたシールリング 7 1 の代わりに、図 2 1 に示すように、底部導電層としての第 2 の配線層 7 9 と、第 2 のビア配線層 5 2 と、第 3 の配線層 5 9 とが相互に接続された有底状シールリング 7 8 が設けられて、この有底状シールリング 7 8 により組み立て用パッド 7 0 が囲まれている。有底状シールリング 7 8 を形成するための具体的方法は、第 1 実施例において第 1 ～第 3 のシールリング 2 1 ～2 3 を形成するために図 9 及び図 1 0 を参照して説明したシングルダマシン配線技術、あるいは第 2 実施例において同第 1 ～第 3 のシールリング 2 1 ～2 3 を形成するために図 1 2 を参照して説明したデュアルダマシン配線技術を適用することができる。例えば、有底状シールリング 7 8 を構成している底部導電層としての第 2 の配線層 7 9 を形成するには、図 1 0 において第 2 の配線層 4 5 を形成するとき、最上配線層 7 2 の底部を十分にカバーするような広さに形成する。

また、第 4 実施例と同様に、シールリング 7 1 にカバー絶縁膜 7 6 の開口部 7 7 が内包されるように、必須設計制約として、 $L_1 < L_4$ 、 $L_1 < L_2$ の関係を満足するように設定される。一方、組み立ての観点からは、 L_1 と L_3 との関係は任意に選ぶことができる。

【 0 0 9 5 】

上述したように、組み立て用パッド 7 0 を囲むように有底状シールリング 7 8 を設けた半導体装置によれば、底部導電層としての第 2 の配線層 7 9 を第 2 の層間絶縁膜 1 3 に形成したことにより、この第 2 の層間絶縁膜 1 3 の下方の領域を自由な領域として確保することができる。したがって、その自由な領域を配線引き回し領域等として利用することができるので、半導体チップの利用率を拡大することができる、特に高集積度の L S I においては有効となる。また、この例のように、全体にわたって同電位の有底状シールリング 7 8 を設けることにより、図 1 3 の第 3 実施例に示したように、各シールリング 2 1 ～2 3 にスリットを形成しなくとも、磁場内に配置されても誘導電流の発生を防止することができる。組み立て用パッド 7 0 に代えて特性評価用パッドあるいは選別評価用パッドを設けた場合も同様である。

【 0 0 9 6 】

このように、この例の構成によっても、第 4 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、各パッドを囲むように有底状シールリングを設けたので、底部導電層の下方の領域を自由な領域として確保することができ、半導体チップの利用率を拡大することができる。

【 0 0 9 7 】

◇第 7 実施例

図 2 2 は、この発明の第 7 実施例である半導体装置の構成を示す断面図である。この発明の第 7 実施例である半導体装置の構成が、上述の第 5 実施例のそれと大きく異なるところは、パッドクラック対策を講じるために有底状シールリングを設けるようにした点である。

この例の半導体装置は、図 2 0 の第 5 実施例に示したように、組み立て用パッド 7 0 が第 3 の配線層 5 9 と同時に形成された外部端子層 8 4 と接続されている構成において、図 2 2 に示すように、組み立て用パッド 7 0 を囲むように、有底状シールリング 7 8 が無端状に設けられている。この有底状シールリング 7 8 は、図 2 1 の第 6 実施例におけるそれと略同様に形成されている。

また、第 5 実施例と同様に、シールリング 7 1 にカバー絶縁膜 7 6 の開口部 7 7 が内包されるように、必須設計制約として、 $L1 < L4$ 、 $L1 < L2$ の関係を満足するように設定される。一方、組み立ての観点からは、 $L1$ と $L3$ との関係は任意に選ぶことができる。

これ以外は、上述した第 5 実施例と略同様であるので、図 2 2 において、図 2 0 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【 0 0 9 8 】

このように、この例の構成によっても、第 5 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、各パッドを囲むように有底状シールリングを設けたので、底部導電層の下方の領域を自由な領域として確保することができ、半導体チップの利用率を拡大することができる。

【 0 0 9 9 】

◇第 8 実施例

図 2 3 は、この発明の第 8 実施例である半導体装置の構成を示す平面図、図 2 4 は図 2 3 の D-D 矢視断面図である。この発明の第 8 実施例である半導体装置の構成が、上述の第 4 実施例のそれと大きく異なるところは、パッドクラック対策に代えてヒューズ素子クラック対策を講じるためにシールリングを設けるようにした点である。

この例の半導体装置は、図 2 3 及び図 2 4 に示すように、基板 1 の表面に複数のヒューズ素子 8 0 が設けられた構成において、複数のヒューズ素子 8 0 を囲むように、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ～第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成るシールリング 8 1 が無端状に設けられている。このシールリング 8 1 は、N 型拡散領域 1 9 と電氣的に接続されたコンタクト 2 5 と、第 1 の配線層 3 1 と、第 1 のビア配線層 3 8 と、第 2 の配線層 4 5 と、第 2 のビア配線層 5 2 と、第 3 の配線層 5 9 とを相互に接続することにより形成されている。このシールリング 8 1 を形成するための具体的方法は、第 1 実施例において第 1 ～第 3 のシールリング 2 1 ～2 3 を形成するために図 9 及び図 1 0 を参照して説明したシングルダマシン配線技術、あるいは第 2 実施例において同第 1 ～第 3 のシールリング 2 1 ～2 3 を形成するために図 1 2 を参照して説明したデュアルダマシン配線技術を適用することができる。

【 0 1 0 0 】

複数のヒューズ素子 8 0 は、膜厚が 2 0 ～3 0 n.m のチタン窒化膜、銅系金属又はアルミニウム系金属から成り、シリコン酸化膜等から成る第 6 の層間絶縁膜 8 2 上に形成されて、第 6 の層間絶縁膜 8 2 内に形成されたコンタクト 8 3 を介して、第 5 の層間絶縁膜 1 6 内に形成された外部端子層 8 4 と電氣的に接続されている。外部端子層 8 4 は、第 3 の配線層 5 9 を形成する工程と同時に形成される。そして、ヒューズ素子 8 0 は、シリコン酸化膜、シリコン窒化膜等から成る第 1 のカバー絶縁膜 8 6 を介して、ポリイミド膜等から成る第 2 のカバー絶縁膜 8 7 に形成された開口部 7 7 により間接的に露出される面 8 0 A に対して、後述

するようなレーザトリミングが行われる。

【0101】

ヒューズ素子80は、半導体装置に半導体メモリを搭載したときに、回路形成部18内に形成されている所望の回路素子と電氣的に接続されて、不良ビットの置き換えを行うために用いられ、予め複数のヒューズ素子80が用意される。そして、不良ビットの置き換えを行う場合は、その不良ビットを構成しているヒューズ素子80の露出面80Aに対してレーザトリミングを行って導電経路の一部を遮断する。このようなヒューズ素子80に対してレーザトリミングを行う場合に、層間絶縁膜に部分的にクラック、いわゆるヒューズ素子クラックが発生し易くなっている。そして、前述したような組み立て用パッド70等におけるパッドクラックの場合と同様に、ダイシング面から水分等が浸入した場合に、ヒューズ素子クラック個所からその水分等が浸入するようになるので、耐湿性が低下する。したがって、ヒューズ素子クラック対策を講じることが必要になっていた。

ここで、シールリング81に第2のカバー絶縁膜87の開口部77が内包されるように、必須設計制約として、第2のカバー絶縁膜87の開口底部内寸法L5<シールリング81の内寸法L6、の関係を満足するように設定される。

【0102】

上述したように、複数のヒューズ素子80を囲むようにシールリング81を設けた半導体装置によれば、複数のヒューズ素子80の露出面80Aに対して第1のカバー絶縁膜86を介してレーザトリミングが行われてヒューズ素子クラックが発生しても、ダイシング面から水分等が浸入した場合に、シールリング81の存在により内部方向への水分等の浸入を阻止することができる。

【0103】

このように、この例の半導体装置によれば、複数のヒューズ素子80を囲むように、素子分離領域2により囲まれたN型拡散領域19にそれぞれ接続されるように、第1～第5の層間絶縁膜8、11、13、15、16の膜厚方向に延在した導電層から成るシールリング8が設けられているので、ヒューズ素子クラックが発生しても、シールリング81の存在により内部方向への水分等の浸入を阻止することができる。

したがって、複数のヒューズ素子を設けた構成において、ヒューズ素子クラックが発生しても十分に耐湿性を向上させることができる。

【0104】

◇第9実施例

図25は、この発明の第9実施例である半導体装置の構成を示す断面図である。この発明の第9実施例である半導体装置の構成が、上述の第8実施例のそれと大きく異なるところは、ヒューズ素子クラック対策を講じるために有底状シールリングを設けるようにして点である。

この例の半導体装置は、図24の第8実施例に示したように、複数のヒューズ素子80が設けられた構成において、図25に示すように、複数のヒューズ素子80を囲むように、有底状シールリング85が無端状に設けられている。この有底状シールリング85は、図21の第6実施例におけるそれと略同様に形成されている。

また、シールリング81に第2のカバー絶縁膜87の開口部77が内包されるように、必須設計制約として、 $L5 < L6$ の関係を満足するように設定される。

【0105】

このように、この例の構成によっても、第8実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、複数のヒューズ素子を囲むように有底状シールリングを設けたので、底部導電層の下方の領域を自由な領域として確保することができ、半導体チップの利用率を拡大することができる。

【0106】

◇第10実施例

図26は、この発明の第10実施例である半導体装置の構成を示す断面図である。この発明の第10実施例である半導体装置の構成が、上述の第8実施例のそれと大きく異なるところは、シールリングに対してヒューズ素子の配置を変更するようにした点である。

この例の半導体装置は、図24の第8実施例に示したように、複数のヒューズ素子80がシールリング81により囲まれている構成において、図26に示すよ

うに、ヒューズ素子 8 0 の両電極としてのコンタクト 8 8 は、シールリング 8 1 を構成している第 3 の配線層 5 9 とは分離して形成されている。すなわち、第 3 の配線層 5 9 とは第 7 の間絶縁膜 8 9 を介して分離された第 6 の層間絶縁膜 8 2 にコンタクト 8 8 が形成されている。これによって、第 5 の層間絶縁膜 1 6 に上記両電極としてのコンタクト 8 8 をビア配線により形成する必要がないので、製造工程を削減でき、コストダウンに寄与することができる。

これ以外は、上述した第 8 実施例と略同様であるので、図 2 6 において、図 2 4 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【 0 1 0 7 】

このように、この例の構成によっても、第 8 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、複数のヒューズ素子をシールリングとは分離して形成することができるので、工程削減を図ることができる。

【 0 1 0 8 】

◇ 第 1 1 実施例

図 2 7 は、この発明の第 1 1 実施例である半導体装置の構成を示す断面図である。この発明の第 1 1 実施例である半導体装置の構成が、上述の第 9 実施例のそれと大きく異なるところは、シールリングに対してヒューズ素子の配置を変更するようにした点である。

この例の半導体装置は、図 2 5 の第 9 実施例に示したように、複数のヒューズ素子 8 0 が有底状シールリング 8 5 により囲まれている構成において、ヒューズ素子 8 0 の両電極としてのコンタクト 8 8 は、シールリング 8 1 を構成している第 3 の配線層 5 9 とは分離して形成されている。すなわち、第 3 の配線層 5 9 とは第 7 の間絶縁膜 8 9 を介して分離された第 6 の層間絶縁膜 8 2 にコンタクト 8 8 が形成されている。これによって、第 5 の層間絶縁膜 1 6 に上記両電極としてのコンタクト 8 8 をビア配線により形成する必要がないので、製造工程を削減でき、コストダウンに寄与することができる。

これ以外は、上述した第 9 実施例と略同様であるので、図 2 7 において、図 2 5 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【 0 1 0 9 】

このように、この例の構成によっても、第 9 実施例において述べたのと略同様な効果を得ることができる。

加えてこの例の構成によれば、複数のヒューズ素子をシールリングとは独立して形成することができるので、工程削減を図ることができる。

【 0 1 1 0 】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば第 1 実施例ではシールリングを 3 つ設けた例で説明したがこれに限らず、シールリングは少なくとも 2 つ設けられていればよい。また、第 3 実施例ではスリットを形成したシールリングを 3 つ設けた例で説明したが、このシールリングは少なくとも 2 つ設けられていればよい。すなわち、スリットを形成したシールリングを 2 つ設けておけば、2 つのシールリングのスリットの形成位置が相互にずれるように形成しておく限り、外側あるいは内側のシールリングのスリットに隣接した位置には必ず内側あるいは外側のシールリングが存在しているので、ダイシング面から水分等が浸入しても浸入経路の距離を十分に稼ぐことができるため、十分に耐湿性を向上させることができる。

【 0 1 1 1 】

また、第 1 実施例ではシングルダマシン技術を用いて製造した例を、第 2 実施例ではデュアルダマシン技術を用いて製造した例を示したが、これらに限らずシングルダマシン技術とデュアルダマシン技術とを組み合わせる製造することができる。この場合は、第 1 の配線層をシングルダマシン技術を用いて製造し、第 2 の配線層以降はシングルダマシン技術あるいはデュアルダマシン技術のいずれかを選択して製造することが望ましい。例えば、第 2 の配線層をシングルダマシン技術を用いて、第 3 の配線層をデュアルダマシン技術を用いてそれぞれ製造するようにする。また、第 3 実施例においても、シングルダマシン技術あるいはデュアルダマシン技術を用いて、さらには上述のように両者を組み合わせる製造することもできる。これは、第 4 ～第 1 1 実施例においても同様である。また、第 4 ～第 1 1 実施例において、シールリングあるいは有底状シールリングは複数設け

るようにしてもよい。

【0112】

また、各実施例ではシールリングあるいは有底状シールリングを構成する導電層としては銅を用いる例で説明したがこれに限らず、銅を主成分としてこれに錫（S n）、銀（A g）、マグネシウム（M g）、鉛（P b）、アルミニウム、シリコン、チタン等の他の材料を微量含有した銅系金属を用いるようにしてもよい。また、各実施例では第1～第5の5層にわたる層間絶縁膜を形成してそれぞれに導電層を形成してシールリングを設ける例で説明したが、6層以上の層間絶縁膜を形成する場合でも適用することができる。また、各実施例では層間絶縁膜の主要部を構成している低誘電率膜としてS i L Kを用いる例で説明したがこれに限らず、M S Q（Methyl-silsesquioxane）膜、H S Q（Hydrogen-silsesquioxane）膜、あるいはL - O x（Ladder-oxide：N E C社の登録商標）等の他の誘電膜を用いてもよい。また、層間絶縁膜としてはシリコン酸化膜あるいはシリコン窒化膜を用いる例に限らず、B S G（Boron-Silicate Glass）膜、P S G（Phospho-Silicate Glass）膜、B P S G（Boron-Phospho-Silicate Glass）膜等の他の絶縁膜を用いることもできる。また、第2の銅の拡散防止膜としてはシリコン窒化膜に例をあげて説明したがこれに限らず、シリコン炭化膜（S i C）、シリコン炭窒化膜（S i C N）のようなS i C系膜等の他の膜を用いることができる。また、フォトリソグラフィ技術によるパターン形成技術に限らずに、E B（エレクトロンビーム）リソグラフィ技術等の他のリソグラフィ技術を用いることができる。また、シールリングを接続する拡散領域の導電型はN型、P型のいずれでもよい。

【0113】

【発明の効果】

以上説明したように、この発明の半導体装置によれば、複数の層間絶縁膜にはそれぞれ回路形成部を囲むように半導体チップの外周に沿って配線溝が形成されて、各配線溝内には第1の銅の拡散防止膜を介して銅又は銅を主成分とする導電層が埋設され、かつ導電層は互いが接続されるように埋設され、複数の層間絶縁膜の相互間には第1の銅の拡散防止膜と接続されるように第2の銅の拡散防止膜

が形成されているので、ダイシング面から水分等が浸入しても第 1 及び第 2 の銅の拡散防止膜の存在により内部方向への水分等の浸入を阻止することができる。

また、この発明の半導体装置によれば、回路形成部を囲むように半導体チップの外周に沿って、素子分離領域により囲まれた拡散領域にそれぞれ電氣的に接続されるように、各層間絶縁膜の膜厚方向に延在した導電層から成る複数本のシールリングが相互に絶縁されて設けられているので、ダイシング面から水分等が浸入しても複数本のシールリングの存在により内部方向への水分等の浸入を阻止することができる。

また、この発明の半導体装置によれば、各シールリングにスリットが形成されているので、磁場内に配置されても電流は誘起されない。

また、この発明の半導体装置の製造方法によれば、ダマシン配線技術を用いることにより回路形成部に多層配線を形成する工程と同時に、複数のシールリングを形成することができるので、コストアップを伴うことなく簡単にシールリングを設けることができる。

したがって、回路形成部を囲むシールリングを設けた構成において、十分に耐湿性を向上させ、あるいは、シールリングに誘導電流を発生させるのを防止することができる。

また、この発明の半導体装置によれば、組み立て用パッド、特性評価用パッドあるいは選別評価用パッドを設けた構成において、各パッドを囲むようにシールリングあるいは有底状シールリングを設けたので、パッドクラックが発生しても、ダイシング面から水分等が浸入した場合に、シールリングの存在により内部方向への水分等の浸入を阻止することができる。

また、この発明の半導体装置によれば、不良回路素子の置き換えを行う複数のヒューズ素子を設けた構成において、複数のヒューズ素子を囲むようにシールリングあるいは有底状シールリングを設けたので、ヒューズ素子クラックが発生しても、ダイシング面から水分等が浸入した場合に、シールリングの存在により内部方向への水分等の浸入を阻止することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施例である半導体装置の構成を示す平面図である。

【図 2】

図 1 の A - A 矢視断面図である。

【図 3】

同半導体装置のシールリングをシングルダマシン配線技術を用いて製造した具体的な構成を示す断面図である。

【図 4】

同半導体装置のシールリングの動作を概略的に示す図である。

【図 5】

同半導体装置においてダイシング面から水分等が侵入する状況を示す断面図である。

【図 6】

同半導体装置においてダイシング面から水分等が侵入する状況を示す断面図である。

【図 7】

同半導体装置を水分含有雰囲気内で加圧試験を施した結果を概略的に示す図である。

【図 8】

同半導体装置の寿命試験結果を示す図である。

【図 9】

同半導体装置のシールリングをシングルダマシン技術を用いて製造する方法を工程順に示す工程図である。

【図 1 0】

同半導体装置のシールリングをシングルダマシン技術を用いて製造する方法を工程順に示す工程図である。

【図 1 1】

この発明の第 2 実施例である半導体装置のシールリングをデュアルダマシン配線技術を用いて製造した具体的な構成を示す断面図である。

【図 1 2】

同半導体装置のシールリングをデュアルダマシン技術を用いて製造する方法の主要部を工程順に示す工程図である。

【図 1 3】

この発明の第 3 実施例である半導体装置の構成を示す平面図である。

【図 1 4】

図 1 3 の B - B 矢視断面図である。

【図 1 5】

同半導体装置においてダイシング面から水分等が侵入する状況を示す平面図である。

【図 1 6】

同半導体装置のシールリングのスリットをダマシン技術を用いて製造する方法を工程順に示す工程図である。

【図 1 7】

同半導体装置のシールリングのスリットをダマシン技術を用いて製造する方法を工程順に示す工程図である。

【図 1 8】

この発明の第 4 実施例である半導体装置の構成を示す平面図である。

【図 1 9】

図 1 8 の C - C 矢視断面図である。

【図 2 0】

この発明の第 5 実施例である半導体装置の構成を示す断面図である。

【図 2 1】

この発明の第 6 実施例である半導体装置の構成を示す断面図である。

【図 2 2】

この発明の第 7 実施例である半導体装置の構成を示す断面図である。

【図 2 3】

この発明の第 8 実施例である半導体装置の構成を示す平面図である。

【図 2 4】

図 2 0 の D - D 矢視断面図である。

【図 2 5】

この発明の第 9 実施例である半導体装置の構成を示す断面図である。

【図 2 6】

この発明の第 1 0 実施例である半導体装置の構成を示す断面図である。

【図 2 7】

この発明の第 1 1 実施例である半導体装置の構成を示す断面図である。

【図 2 8】

従来の半導体装置の構成を示す断面図である。

【図 2 9】

従来の半導体装置の問題点を概略的に示す図である。

【図 3 0】

従来の半導体装置の問題点を概略的に示す図である。

【符号の説明】

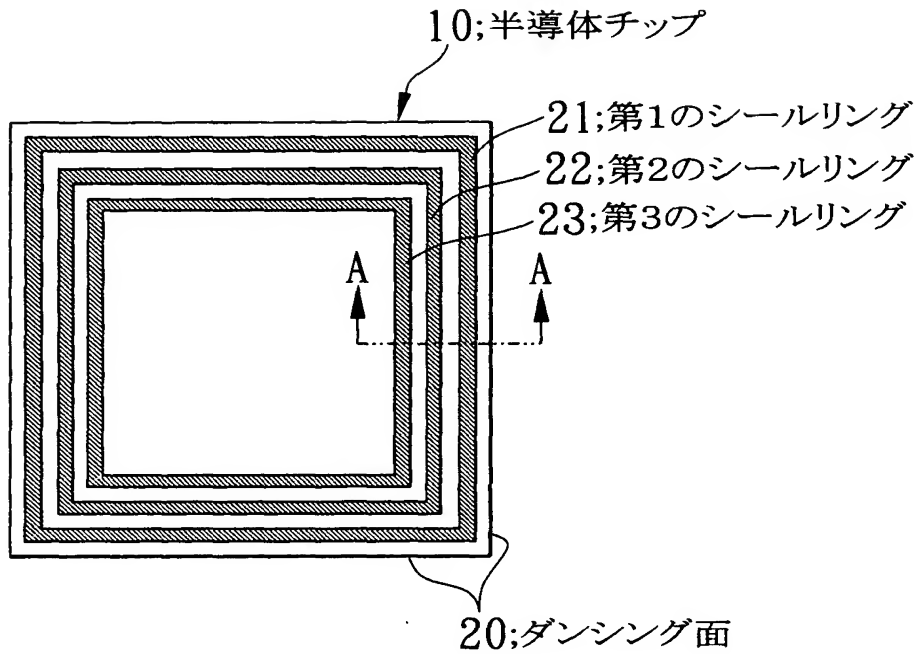
- 1 半導体基板
- 2 素子分離領域
- 3、4、19 拡散領域
- 5 ゲート部
- 6 絶縁保護膜
- 7 (7 A～7 C) 回路形成部のコンタクト
- T r NチャネルMOS型トランジスタ
- 8 第 1 の層間絶縁膜
- 9 (9 A～9 C) 第 1 の配線層
- 10 半導体チップ
- 11 第 2 の層間絶縁膜 (第 1 のビア層間絶縁膜)
- 12 ビア配線層
- 13 第 3 の層間絶縁膜
- 14 第 2 の配線層
- 15 第 4 の層間絶縁膜 (第 2 のビア層間絶縁膜)
- 16 第 5 の層間絶縁膜

17	パッシベーション膜	
18	回路形成部	
20	ダイシング面	
21	第1のシールリング	
22	第2のシールリング	
23	第3のシールリング	
21A～23A	スリット	
24、75	コンタクトホール	
25、83、88	コンタクト	
26、32、39、46、53、60、63	シリコン窒化膜	
27、34、41、48、55、61、62	シリコン酸化膜	
28、42、56	トレンチ（配線溝）	
29、36、43、50、57、73	バリアメタル	
30、37、44、51、58	銅層	
31	第1の配線層	
33、40、47、54	低誘電率膜	
35、49	ビアホール（ビア配線溝）	
38	第1のビア配線層	
45	第2の配線層	
52	第2のビア配線層	
59	第3の配線層	
64～66	矢印	
67	水分等の侵入経路	
70	組み立て用パッド	
70A	組み立て用パッドの露出面	
71、81	シールリング	
72	最上配線層	
74	絶縁膜	
76、86、87	カバー絶縁膜	

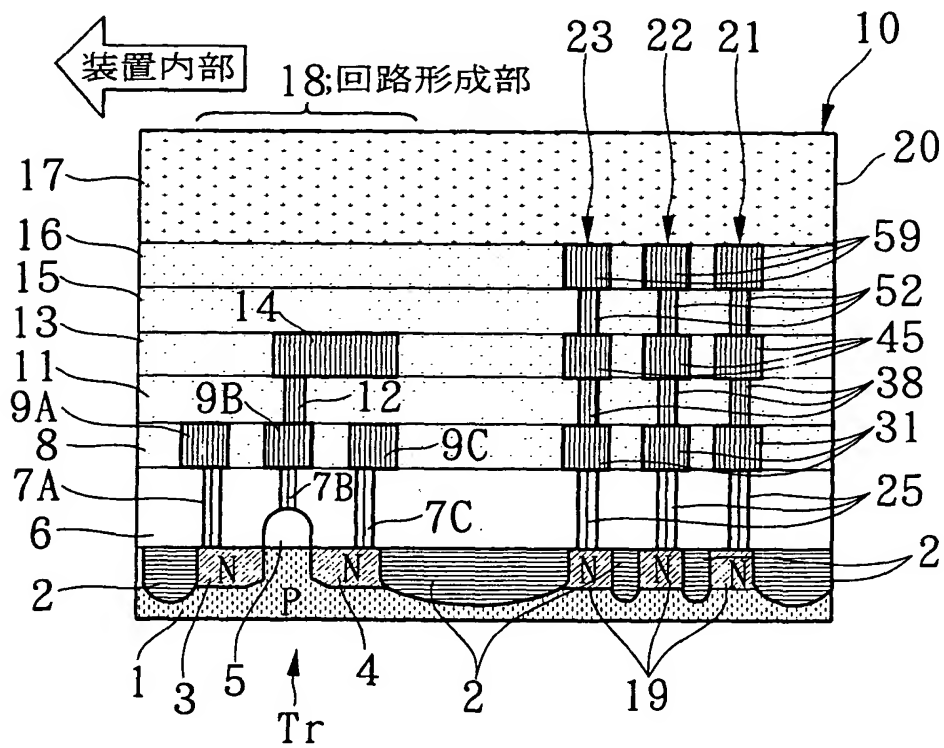
- 7 7 開口部
- 7 8、8 5 有底状シールリング
- 7 9 第 2 の配線層（底部配線層）
- 8 0 ヒューズ素子
- 8 0 A ヒューズ素子の間接的な露出面
- 8 2 第 6 の層間絶縁膜
- 8 4 外部端子層
- 7 6、8 6、8 7 カバー絶縁膜
- 8 9 第 7 の層間絶縁膜

【書類名】 図面

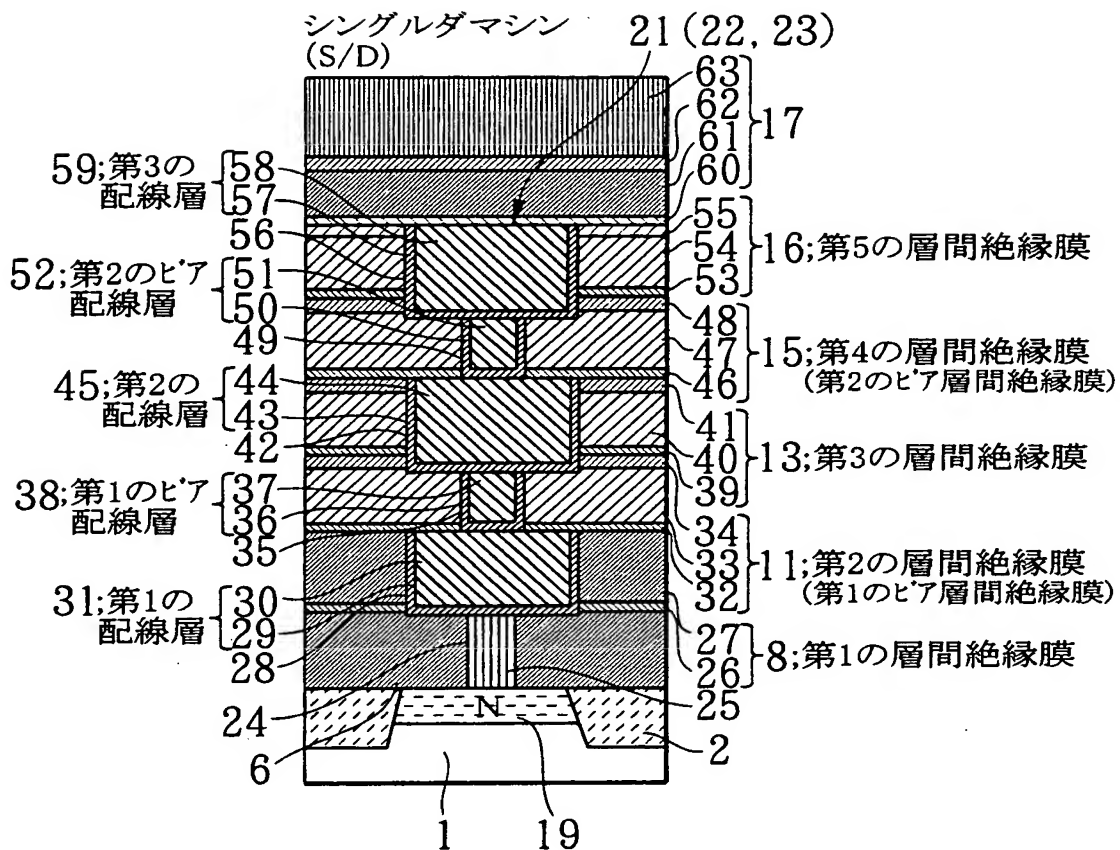
【図1】



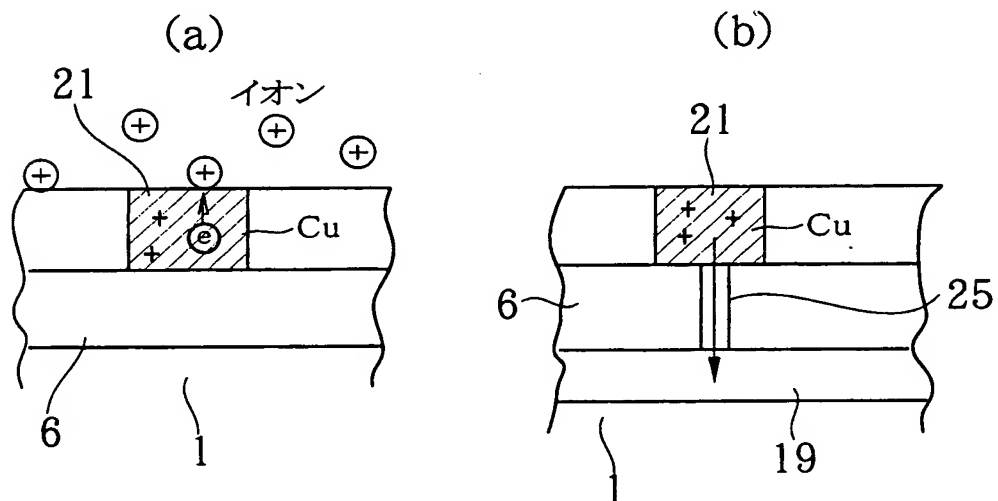
【図2】



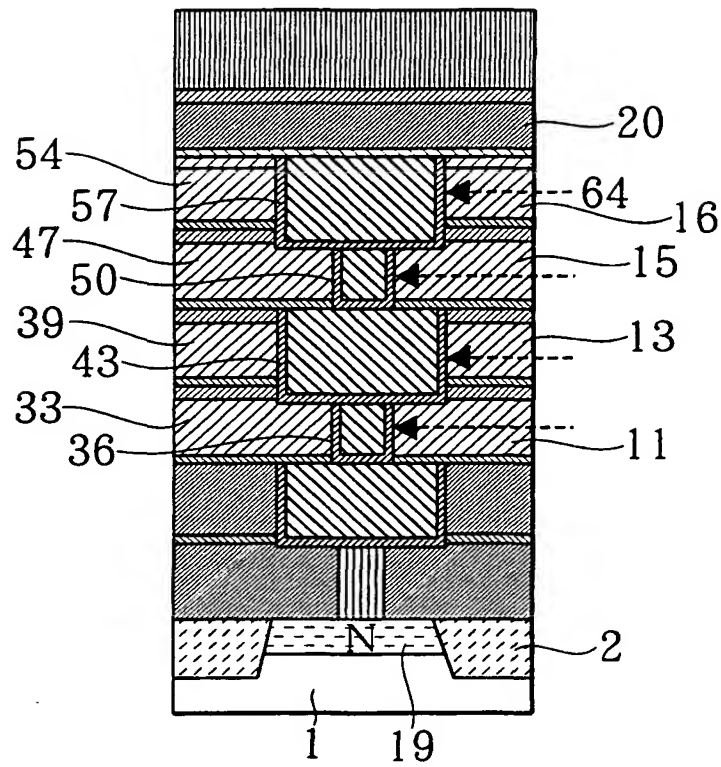
【图 3】



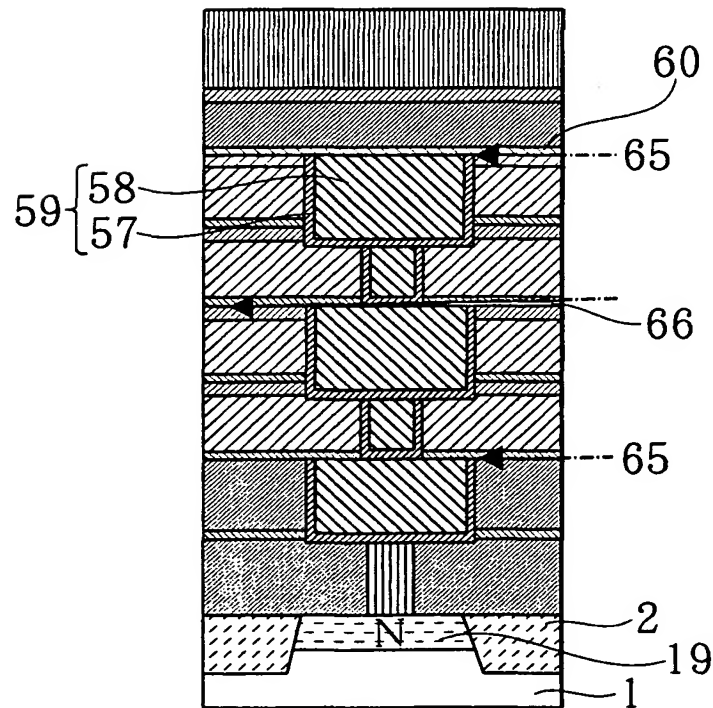
【图 4】



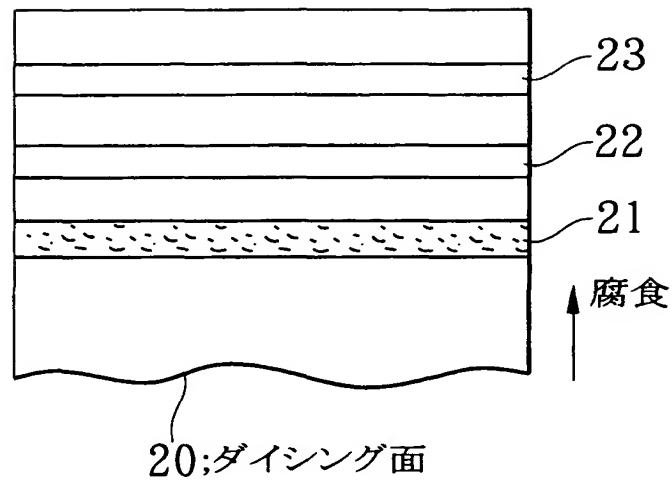
【図 5】



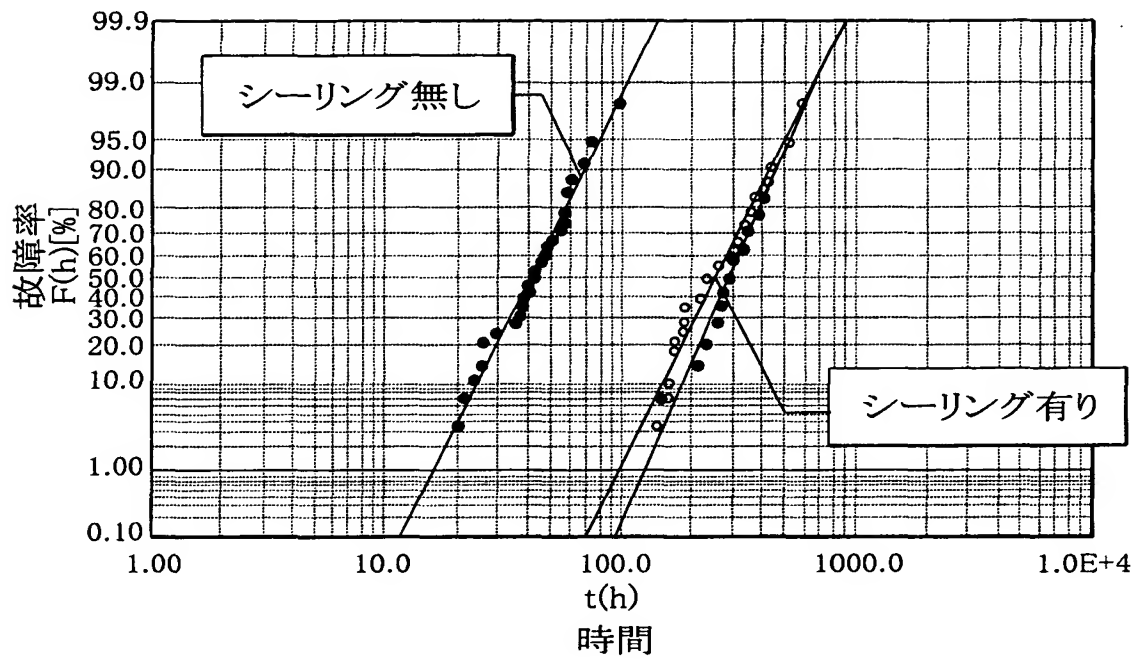
【図 6】



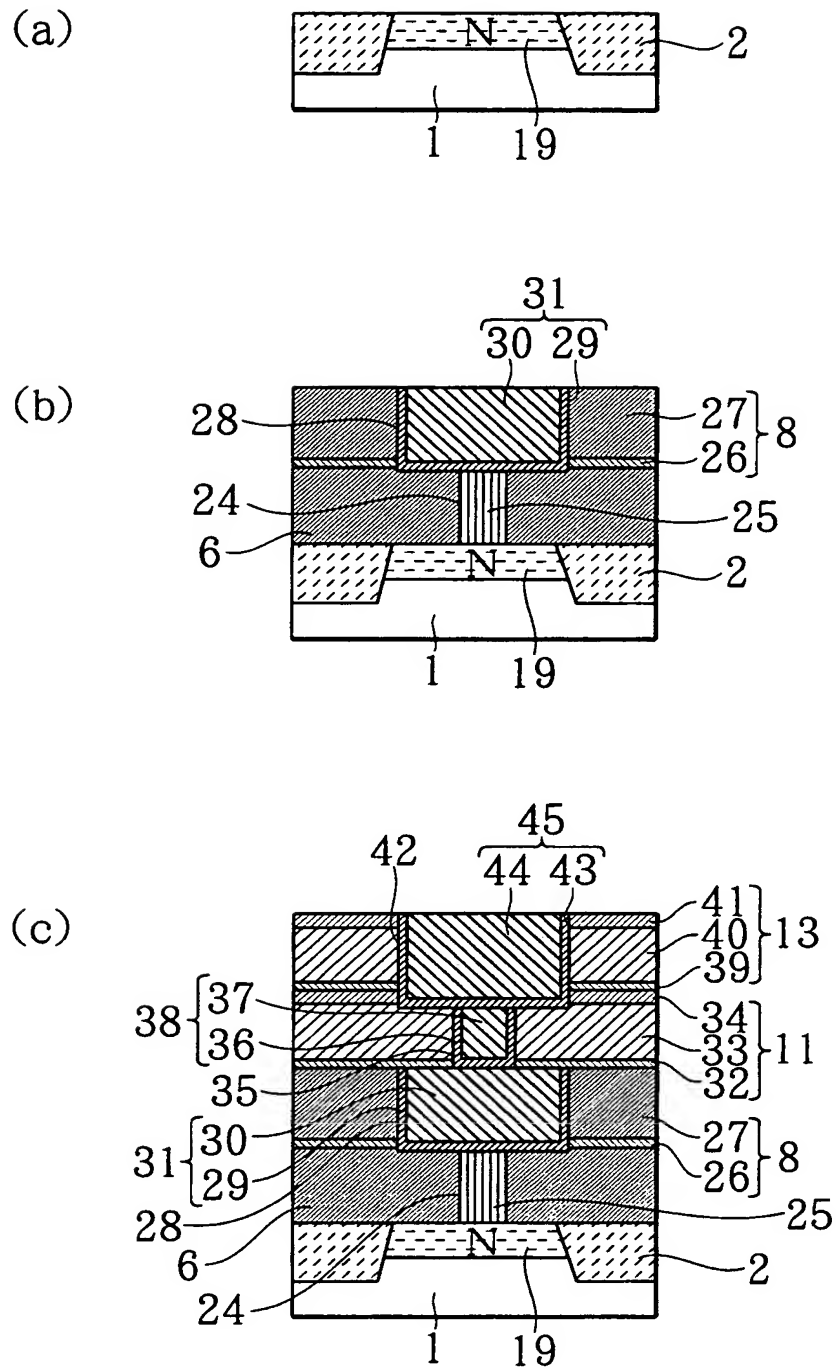
【図 7】



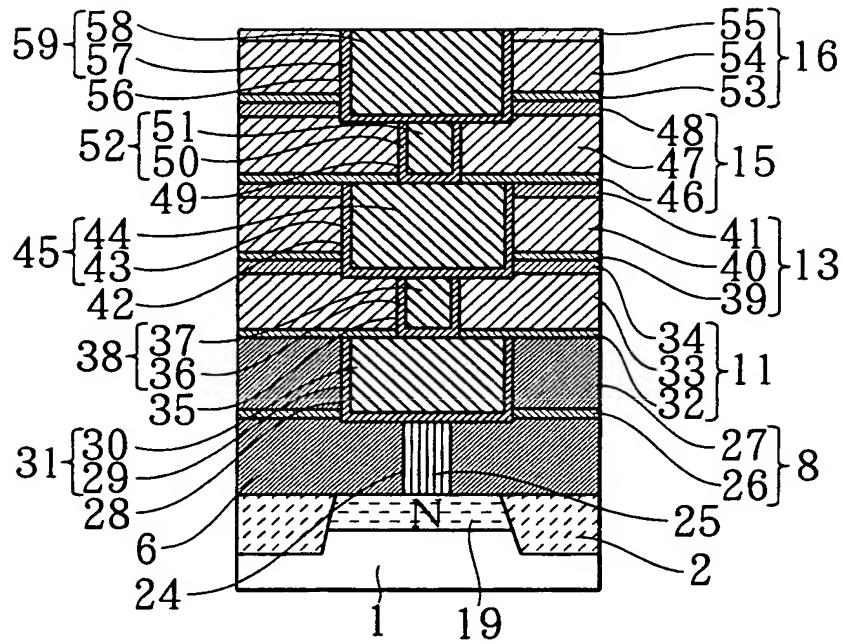
【図 8】



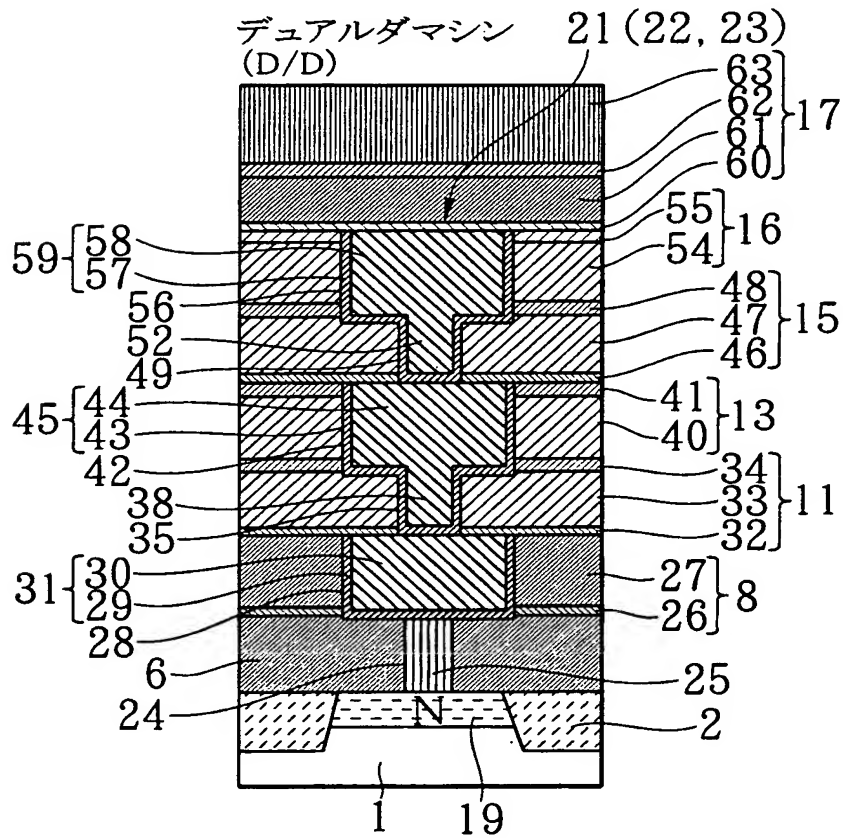
【図 9】



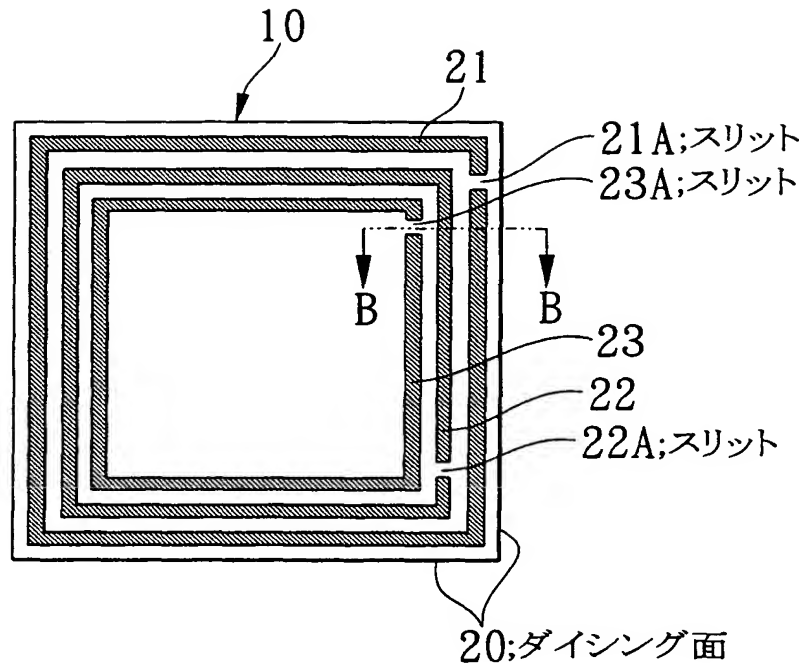
【図 1 0】



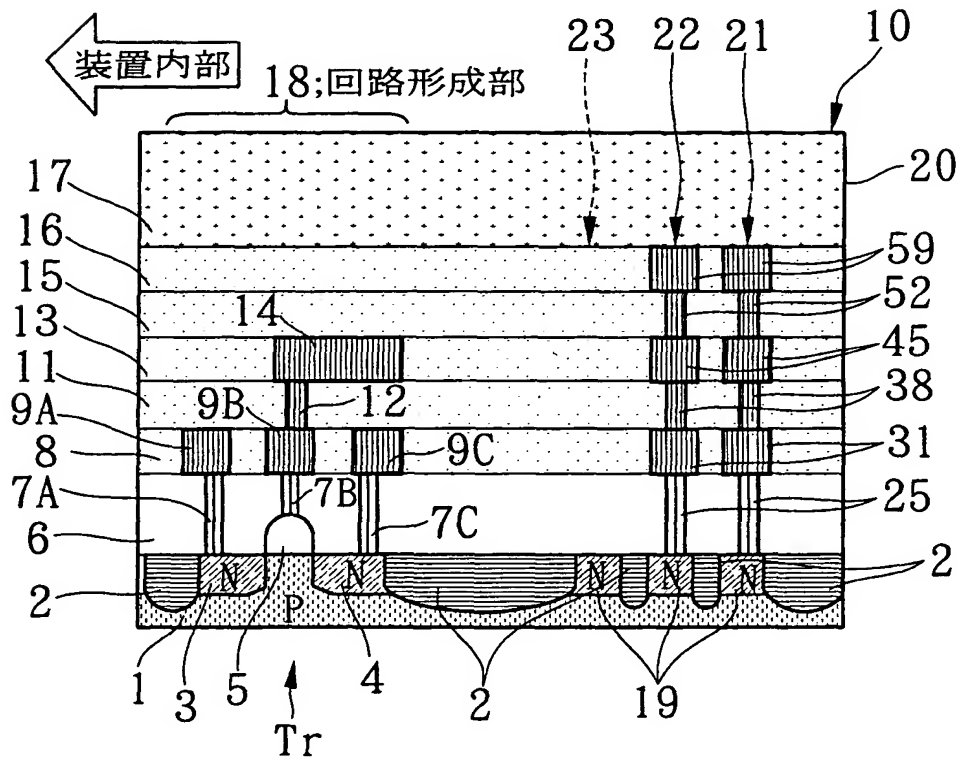
【図 1 1】



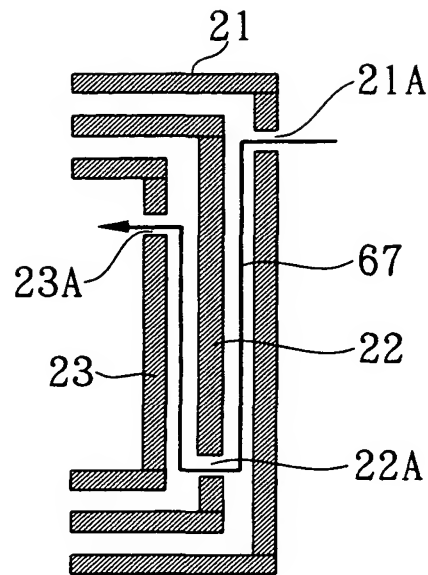
【図13】



【図14】

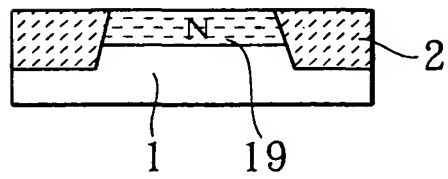


【図 1 5】

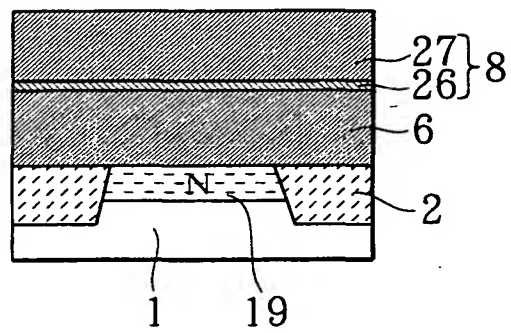


【図 1 6】

(a)

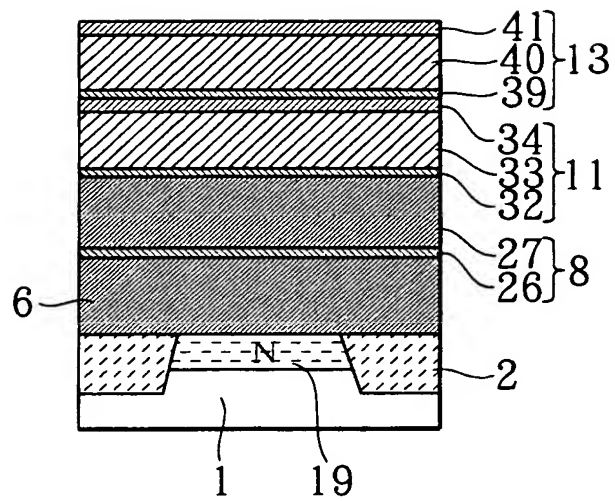


(b)

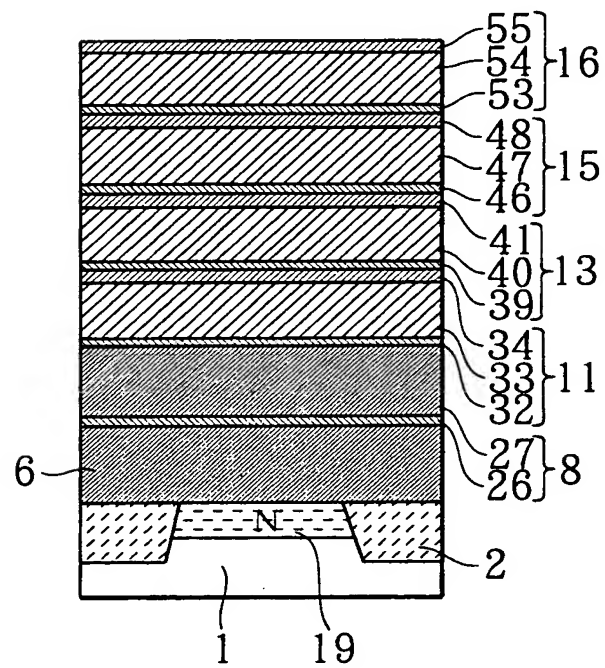


【図 17】

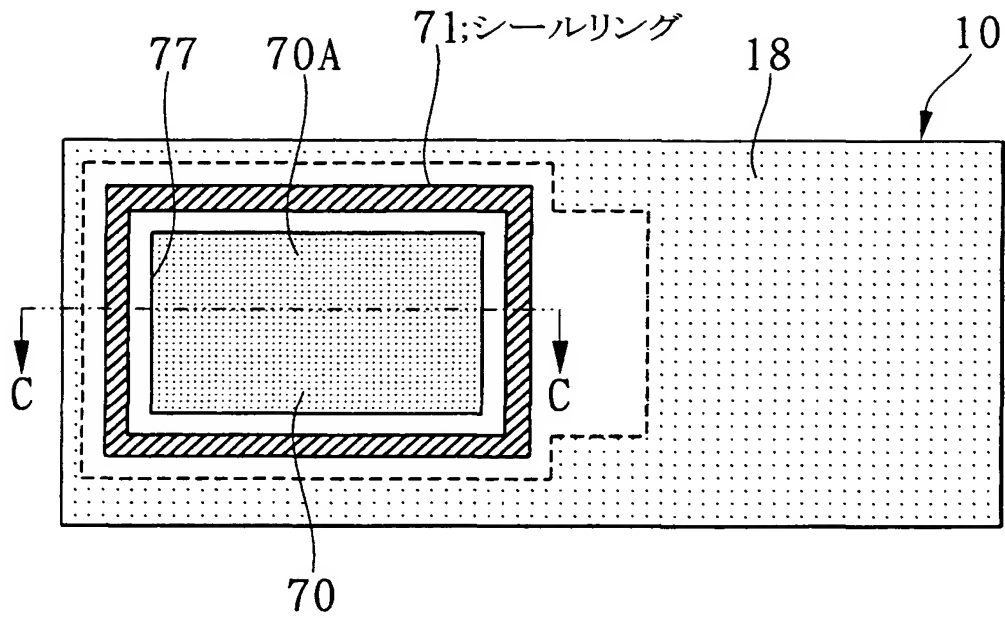
(c)



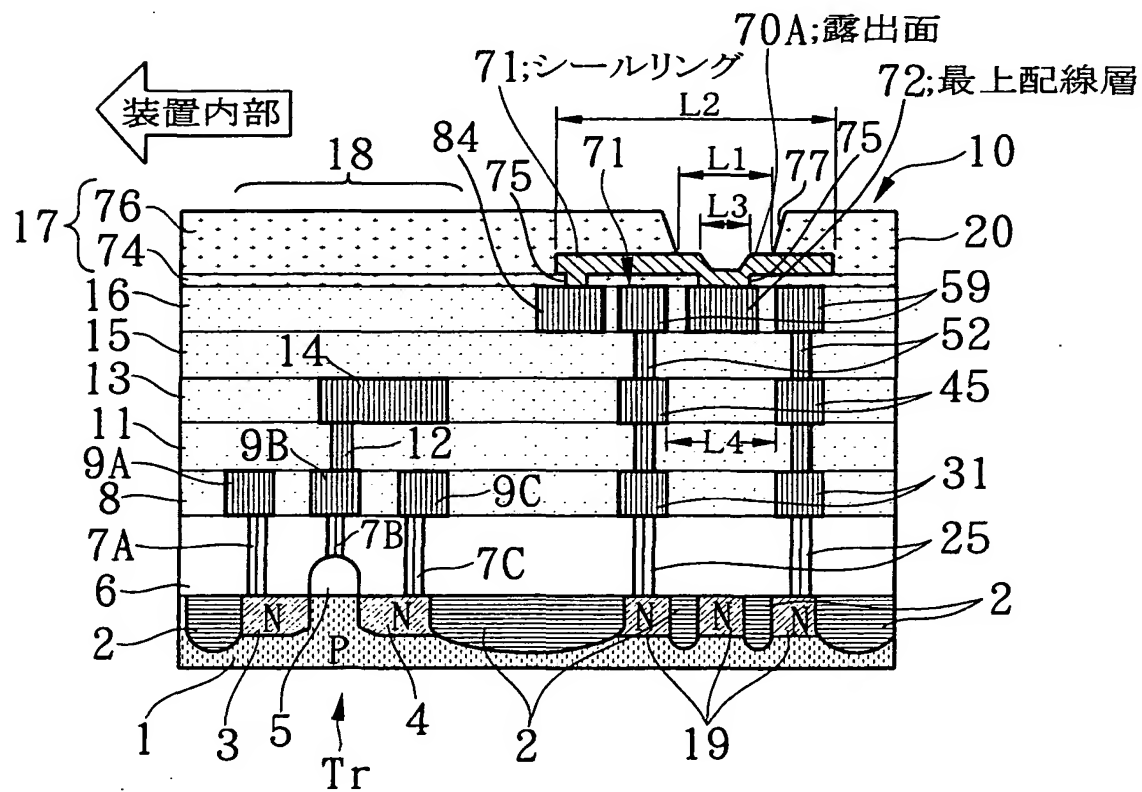
(d)



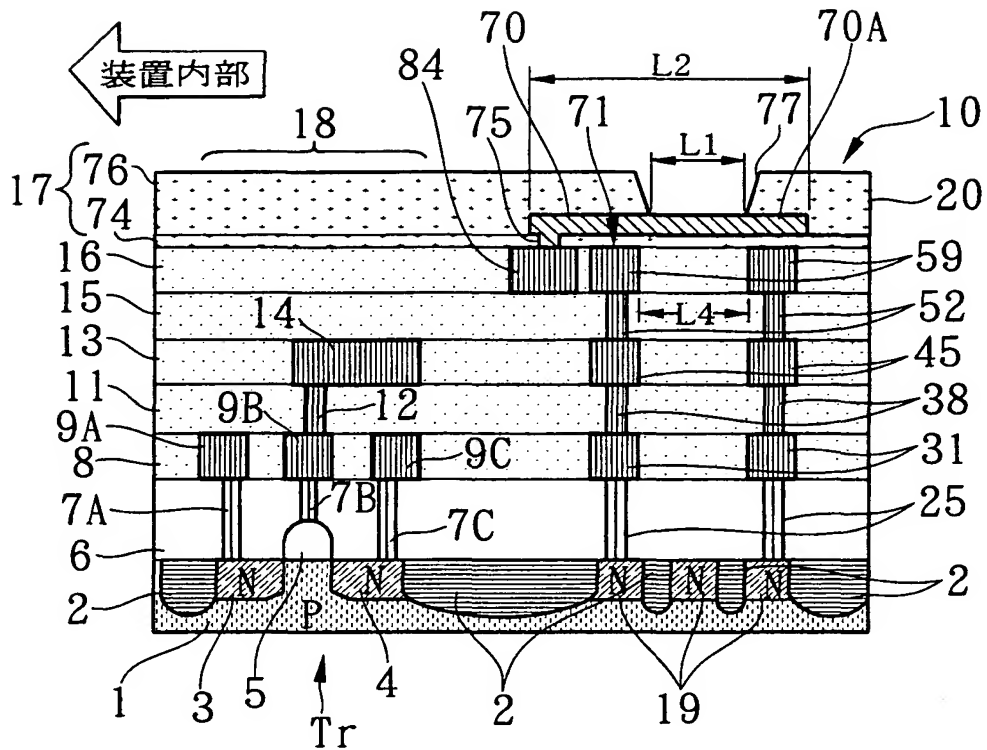
【図18】



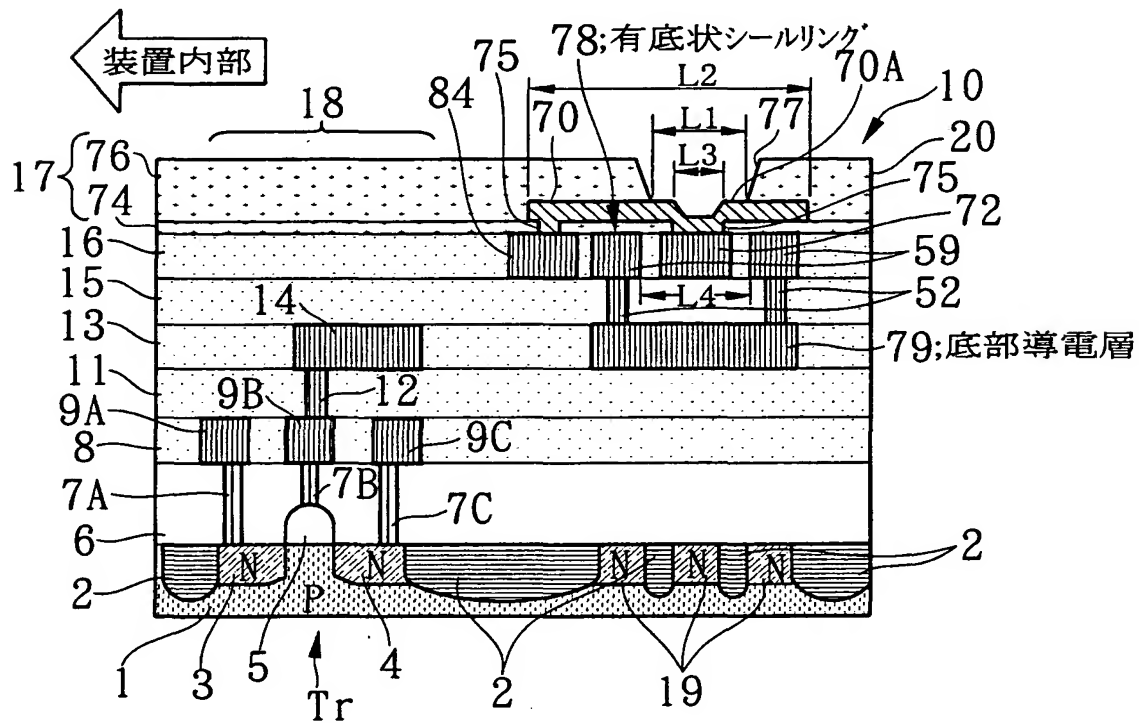
【図19】



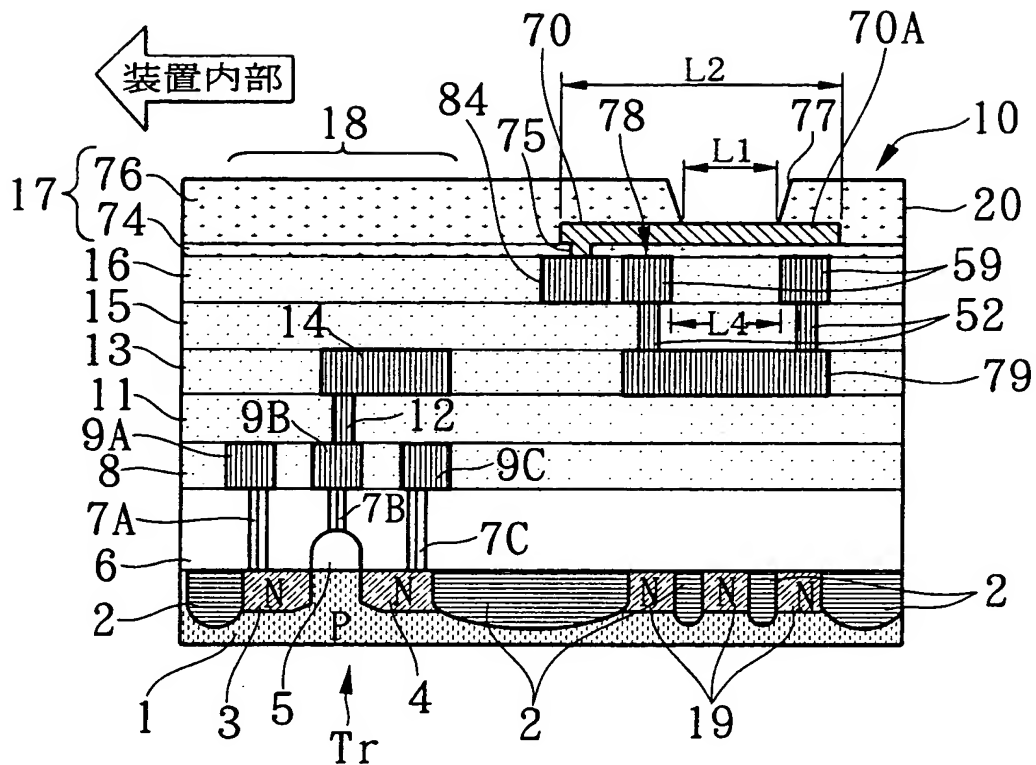
【図 20】



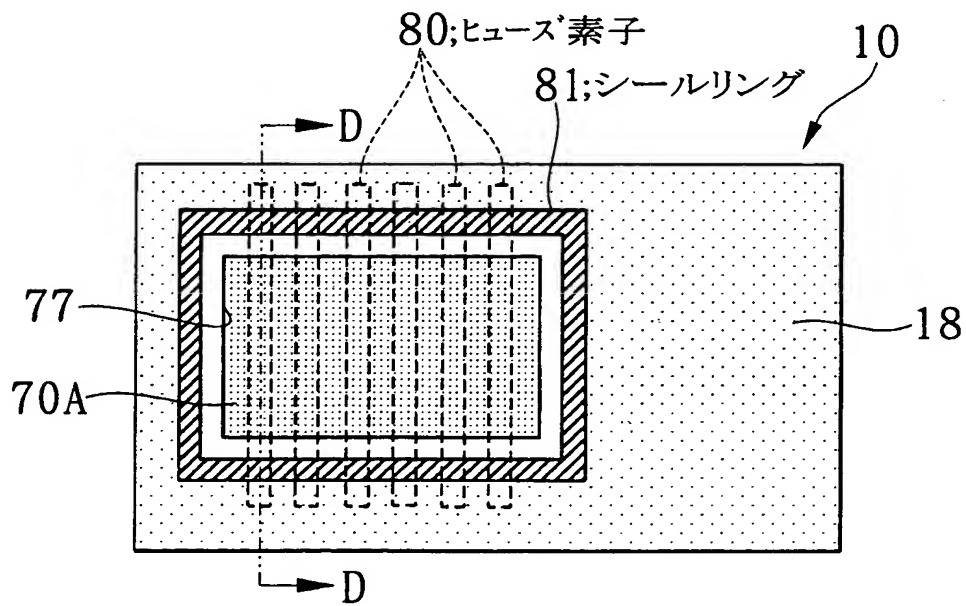
【図 2 1】



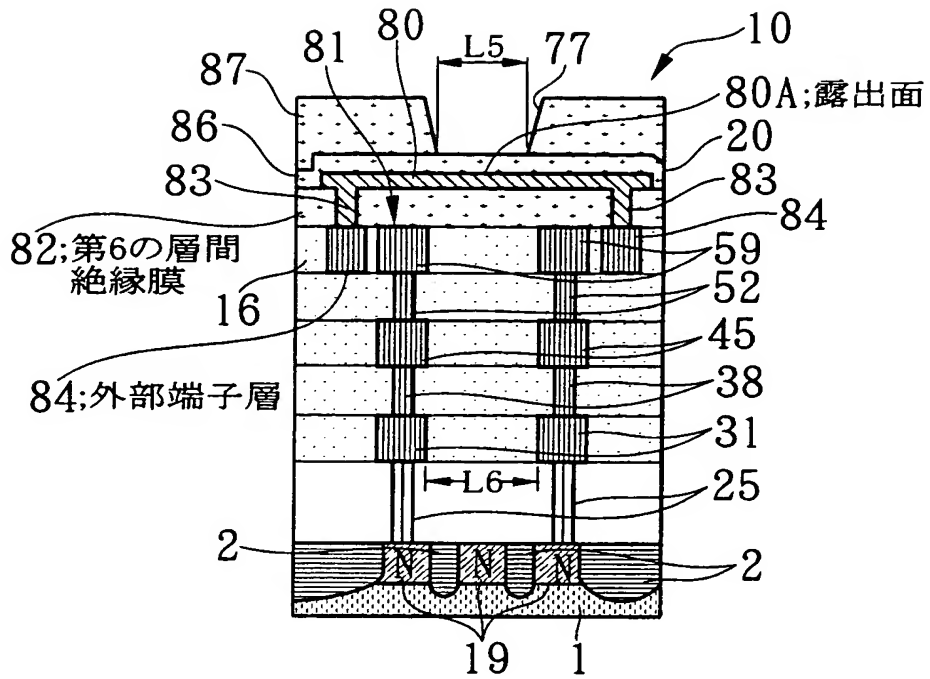
【図 2 2】



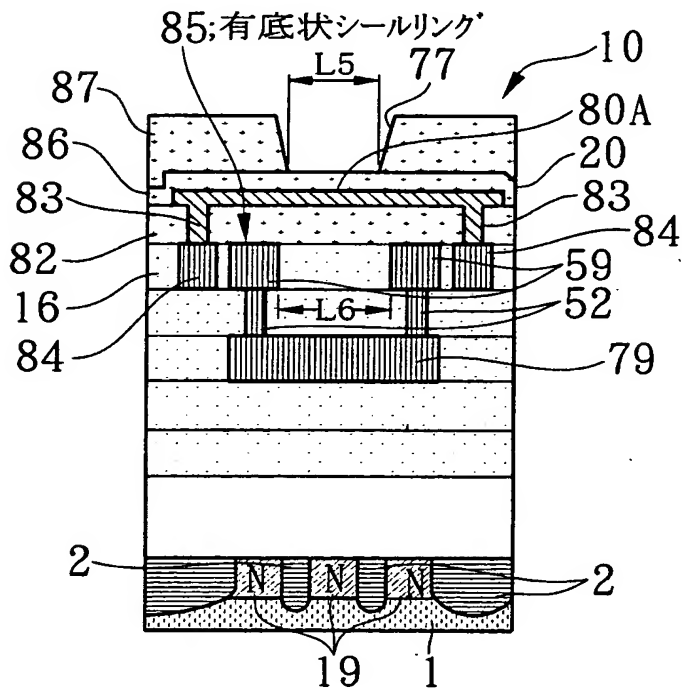
【図 23】



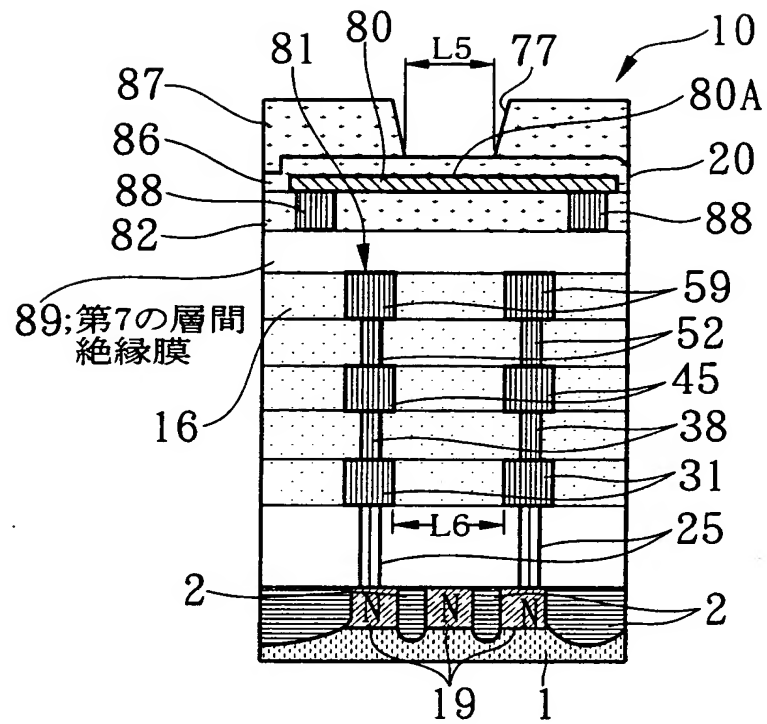
【図24】



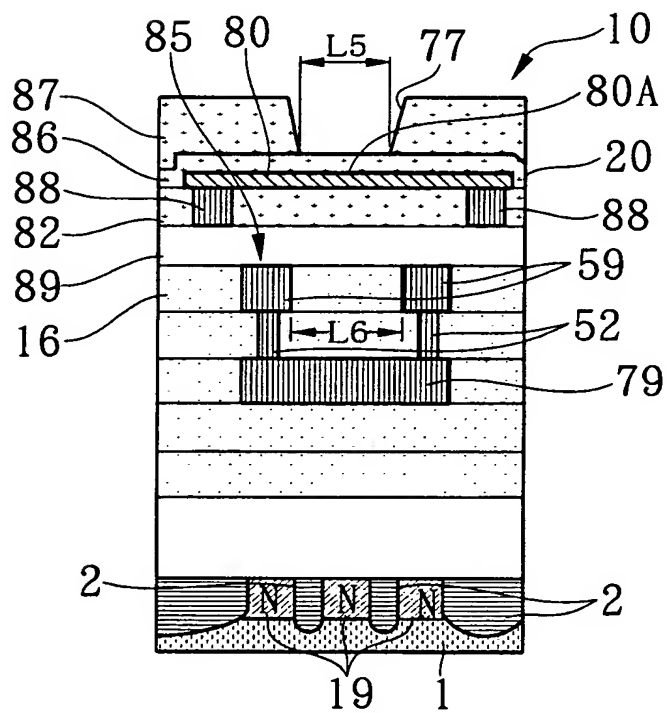
【図25】



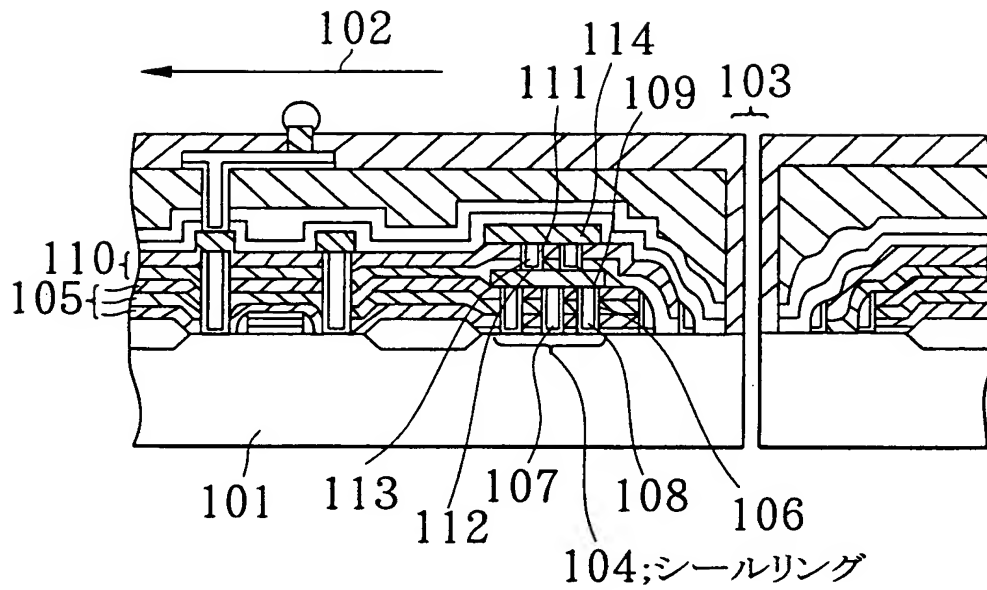
【圖 26】



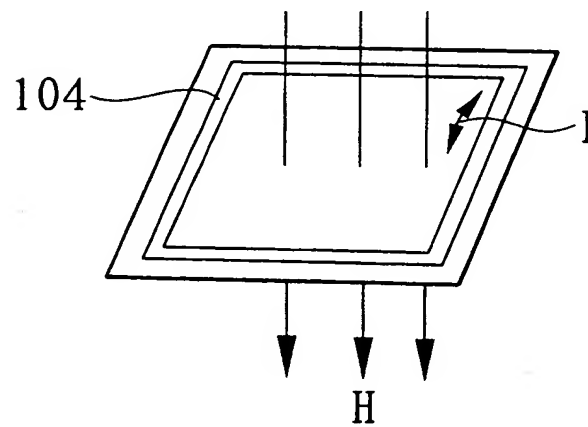
【図 27】



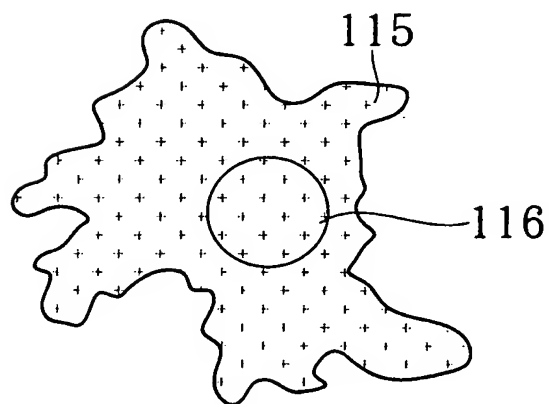
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 回路形成部を囲むシールリングを設けた構成において、十分に耐湿性を向上させ、あるいは、シールリングに誘導電流が発生しないように構成する。

【解決手段】 開示される半導体装置は、回路形成部 1 8 を囲むように半導体チップ 1 の外周に沿って、素子分離領域 2 により囲まれた N 型拡散領域 1 9 にそれぞれ電氣的に接続されるように、第 1 ～第 5 の層間絶縁膜 8、1 1、1 3、1 5、1 6 の膜厚方向に延在した導電層から成る第 1 ～第 3 のシールリング 2 1 ～2 3 が相互に絶縁されて設けられている。あるいは、3 本のシールリング 2 1 ～2 3 の長さ方向の一部にそれぞれスリット 2 1 A ～2 3 A が形成され、3 本のシールリング 2 1 ～2 3 の各スリット 2 1 A ～2 3 A の長さ方向の形成位置が少なくとも隣接するシールリング同士ではずれている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日	2002年11月 1日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部1753番地
氏 名	NECエレクトロニクス株式会社